

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



THE UNITED STATES PATENT AND TRADEMARK OFFICE

Appln. No: 10/657,944
Applicant: Hiroyuki Nakamura et al.
Filed: September 9, 2003
Title: BAND ELIMINATION FILTER, FILTER DEVICE, ANTENNA DUPLEXER AND COMMUNICATION APPARATUS
TC/A.U.: 3662
Examiner:
Confirmation No.: 1606
Docket No.: MTS-3462US

CLAIM TO RIGHT OF PRIORITY

Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 35 U.S.C. § 119, Applicants' claim to the benefit of filing of prior Japanese Patent Application No. 2003-292646 filed August 12, 2003, as stated in the inventors' Declaration, is hereby confirmed.

A certified copy of the above-referenced application is enclosed.

Pursuant to 35 U.S.C. § 119, Applicants' claim to the benefit of filing of prior Japanese Patent Application No. 2002-263789 filed September 10, 2002, was previously filed on September 9, 2003.

Respectfully submitted,

Ratner Prestia


Allan Ratner, Reg. No. 19,717
Attorney for Applicants

AR/ds

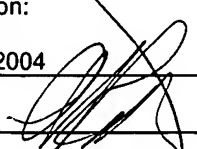
Enclosure: Certified Copy of Application

Dated: January 14, 2004

P. O. Box 980
Valley Forge, PA 19482
(610) 407-0700

The Commissioner for Patents is hereby authorized to charge payment to Deposit Account No. 18-0350 of any fees associated with this communication.

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, with sufficient postage, in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on:

January 14, 2004


日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 8月12日
Date of Application:

出願番号 特願2003-292646
Application Number:

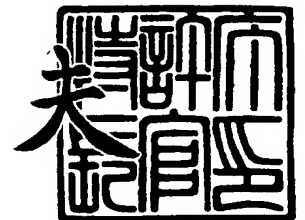
[ST. 10/C]: [JP 2003-292646]

出願人 松下電器産業株式会社
Applicant(s):

2003年 9月 4日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3072529

【書類名】 特許願
【整理番号】 2022050192
【提出日】 平成15年 8月12日
【あて先】 特許庁長官殿
【国際特許分類】 H03H 9/145
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 中村 弘幸
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電子部品株式会社内
 【氏名】 関 俊一
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 大西 慶治
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100092794
 【弁理士】
 【氏名又は名称】 松田 正道
 【電話番号】 06-6397-2840
【先の出願に基づく優先権主張】
 【出願番号】 特願2002-263789
 【出願日】 平成14年 9月10日
【手数料の表示】
 【予納台帳番号】 009896
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9006027

【書類名】 特許請求の範囲**【請求項 1】**

その一端が接地された複数の音響共振器と、
前記複数の音響共振器の他端のそれぞれが接続される伝送線とを備え、
前記他端の少なくとも一部は、所定の間隔をおいて接続されており、
前記伝送線上の、全部または一部の前記所定の間隔に、少なくとも 1 つのリアクタンス素子が設けられている帯域阻止型フィルタ。

【請求項 2】

前記音響共振器は、圧電基板の主面上に形成された弾性表面波共振器である請求項 1 に記載の帯域阻止型フィルタ。

【請求項 3】

前記リアクタンス素子のインピーダンスを特性インピーダンスで規格化した規格化インピーダンスが 1 より大きい請求項 2 に記載の帯域阻止型フィルタ。

【請求項 4】

前記規格化インピーダンスは 1. 5 より小さい請求項 3 に記載の帯域阻止型フィルタ。

【請求項 5】

前記リアクタンス素子がインダクタである請求項 1 から 3 のいずれかに記載の帯域阻止型フィルタ。

【請求項 6】

前記インダクタがワイヤー実装時のワイヤーを含む構成である請求項 5 に記載の帯域阻止型フィルタ。

【請求項 7】

前記リアクタンス素子がコンデンサである請求項 1 または 2 に記載の帯域阻止型フィルタ。

【請求項 8】

前記リアクタンス素子がコンデンサとインダクタとを含む構成である請求項 1 または 2 に記載の帯域阻止型フィルタ。

【請求項 9】

前記リアクタンス素子がコンデンサとインダクタとの並列回路を含む構成である請求項 8 に記載の帯域阻止型フィルタ。

【請求項 10】

前記リアクタンス素子がコンデンサとインダクタとの直列回路を含む構成である請求項 8 に記載の帯域阻止型フィルタ。

【請求項 11】

前記リアクタンス素子がチップ部品である請求項 1 に記載の帯域阻止型フィルタ。

【請求項 12】

前記リアクタンス素子が前記圧電基板上に形成される請求項 1 に記載の帯域阻止型フィルタ。

【請求項 13】

前記リアクタンス素子が前記帯域阻止型フィルタを実装する実装基板内に形成される請求項 1 に記載の帯域阻止型フィルタ。

【請求項 14】

前記実装基板が誘電体層を有する積層体である請求項 13 に記載の帯域阻止型フィルタ。

【請求項 15】

前記音響共振器が前記実装基板上にフェースダウン実装されている請求項 13 に記載の帯域阻止型フィルタ。

【請求項 16】

前記弾性表面波共振器の接地される電極パッドは前記圧電基板上で分離されている請求項 2 に記載の帯域阻止型フィルタ。

【請求項 17】

前記音響共振器は圧電体共振器である請求項 1 に記載の帯域阻止型フィルタ。

【請求項 18】

前記圧電体共振器は、上部電極と、下部電極と、前記上部電極および下部電極に挟まれた圧電体層とを有するバルク波共振器である請求項 17 に記載の帯域阻止型フィルタ。

【請求項 19】

前記圧電体層は、圧電薄膜により構成される請求項 18 に記載の帯域阻止型フィルタ。

【請求項 20】

前記リアクタンス素子は、前記バルク波共振器の前記電極を利用して形成される請求項 18 に記載の帯域阻止型フィルタ。

【請求項 21】

前記弾性表面波共振器の共振周波数が互いに異なる請求項 1 に記載の帯域阻止型フィルタ。

【請求項 22】

前記音響共振器の前記一端は、少なくとも前記圧電基板上ではそれぞれ独立した配線を介することにより接地されている請求項 1 に記載の帯域阻止型フィルタ。

【請求項 23】

前記リアクタンス素子は、前記音響共振器の共振周波数と所定の大きさ離れた共振周波数を有する音響共振器である請求項 1 に記載の帯域阻止型フィルタ。

【請求項 24】

請求項 1 に記載の帯域阻止型フィルタを備えたフィルタ装置。

【請求項 25】

送信側フィルタと、

受信側フィルタとを備え、

前記送信側フィルタまたは前記受信側フィルタとして、請求項 24 に記載の帯域阻止型フィルタを用いたアンテナ共用器。

【請求項 26】

前記リアクタンス素子は、前記音響共振器の共振周波数と所定の大きさ離れた共振周波数を有する音響共振器である請求項 1 に記載の帯域阻止型フィルタ。

【請求項 27】

信号を送信するための送信手段と、

信号を受信するための受信手段とを備え、

前記送信手段および／または前記受信手段に、請求項 1 に記載の帯域阻止型フィルタを用いた通信機器。

【書類名】 明細書**【発明の名称】** 帯域阻止型フィルタ、フィルタ装置、アンテナ共用器、通信機器**【技術分野】****【0001】**

本発明は携帯電話および自動車電話などの通信機器に使用する帯域阻止型フィルタ等に関する。

【背景技術】**【0002】**

従来、通信機器などのRF段のフィルタとして、弾性表面波フィルタや圧電体フィルタが用いられている。弾性表面波フィルタとしては、複数のIDT電極（インターディジタルトランスデューサ電極）を伝搬方向に近接配置した縦モード型フィルタや弾性表面波共振器を梯子型に接続したラダー型フィルタが主に用いられている。また圧電体フィルタとしてはバルク波フィルタが用いられており、これらフィルタの高性能化、小型化が期待されている。

【0003】

以下、従来の帯域阻止型フィルタについて、図面を用いて説明する。

【0004】

図19（a）に弾性表面波共振器の構成を示す。図19（a）において、弾性表面波共振器は圧電基板1701上に形成されたIDT電極1702、反射器電極1703、1704とにより構成される。

【0005】

次に、図19（b）に圧電体共振器の構成を示す。図19（b）において、圧電体共振器は、圧電体層3011と、圧電体層3011の上主面に設けられた上部電極3012と、圧電体層3011の下主面に設けられた下部電極3013と、基板3014とを備え、基板3014において、下部電極3013と接する面上には窪みが設けられ、キャビティ3015が形成される。この構成において、上部電極3012と、下部電極3013と、上部電極3012と下部電極3013に挟まれる圧電体層3011と、キャビティ3015を形成する基板3014の一部とが圧電体共振器を形成する。

【0006】

弾性表面波共振器および圧電体共振器は、それぞれ図19（c）に示すような等価回路にて表現され、電氣的に直列共振と並列共振を有する特性となる。

【0007】

前述の弾性表面波共振器を複数個梯子型に接続することによりラダー型の弾性表面波フィルタが構成される（例えば、特許文献1参照）。

【0008】

ここでは、このような音響共振器の従来例として、弾性表面波共振器を挙げて説明する。

【0009】

図20（a）は従来例1として、3つの弾性表面波共振器1801、1802、1803を π 型に接続することにより形成した弾性表面波フィルタの構成を示す。図20（a）に示すように、弾性表面波共振器1801および1802はその一端がそれぞれ接地されており、それぞれの他端は、信号の入出力端を有する伝送線1804に、所定の間隔において接続されている。弾性表面波共振器1803はこの所定の間隔上に設けられている。

【0010】

この構成において、図20（b）に示すように、通過特性は直列に配置された弾性表面波共振器1801と並列に配置された弾性表面波共振器1802、1803における共振／反共振周波数によりフィルタの通過帯域・減衰帯域が決まるが、広帯域にわたって低損失な帯域阻止型フィルタは実現できない。

【0011】

図21（a）は従来例2として、2個の弾性表面波共振器1901、1902を並列に

接続することにより形成した帯域阻止フィルタの回路を示す。図 21 (a) に示すように、弾性表面波共振器 1901 および 1902 はその一端がそれぞれ接地されており、それぞれ他端は、信号の入出力端を有する伝送線 1903 に、所定の間隔をおいて接続されている。図 21 (b) に示すように阻止帯域（減衰極）より高い側の周波数においては損失は小さいが、阻止帯域（減衰極）より低い側の周波数において損失が大きい。

【特許文献 1】特許第 3152418 号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

以上示したように、通信機器等に使用するための、弾性表面波共振器のような複数の音響共振器を組み合わせた弾性表面波フィルタにおいては、所望の周波数帯域で減衰量を大きく、且つ阻止帯域の上下周波数で、広帯域に渡って低損失である特性を達成することは困難であった。

【0013】

本発明は、上記の課題に鑑みてなされたものであり、所望の周波数帯域で減衰量を大きく、且つ阻止帯域の上下周波数で、広帯域に渡って低損失である特性を達成する帯域阻止フィルタ等を提供することを目的とする。

【課題を解決するための手段】

【0014】

上記の目的を達成するために、第 1 の本発明は、その一端が接地された複数の音響共振器と、

前記複数の音響共振器の他端のそれぞれが接続される伝送線とを備え、

前記他端の少なくとも一部は、所定の間隔をおいて接続されており、

前記伝送上の、全部または一部の前記所定の間隔に、少なくとも 1 つのリアクタンス素子が設けられている帯域阻止型フィルタである。

【0015】

また、第 2 の本発明は、前記音響共振器は、圧電基板の主面上に形成された弾性表面波共振器である第 1 の本発明の帯域阻止型フィルタである。

【0016】

また、第 3 の本発明は、前記リアクタンス素子のインピーダンスを特性インピーダンスで規格化した規格化インピーダンスが 1 より大きい第 2 の本発明の帯域阻止型フィルタである。

【0017】

また、第 4 の本発明は、前記規格化インピーダンスは 1.5 より小さい第 3 の本発明の帯域阻止型フィルタである。

【0018】

また、第 5 の本発明は、前記リアクタンス素子がインダクタである第 1 から第 3 のいずれかの本発明の帯域阻止型フィルタである。

【0019】

また、第 6 の本発明は、前記インダクタがワイヤー実装時のワイヤーを含む構成である第 5 の本発明の帯域阻止型フィルタである。

【0020】

また、第 7 の本発明は、前記リアクタンス素子がコンデンサである第 1 または 2 の本発明の帯域阻止型フィルタである。

【0021】

また、第 8 の本発明は、前記リアクタンス素子がコンデンサとインダクタとを含む構成である第 1 または第 2 の本発明の帯域阻止型フィルタである。

【0022】

また、第 9 の本発明は、前記リアクタンス素子がコンデンサとインダクタとの並列回路を含む構成である第 8 の本発明の帯域阻止型フィルタである。

【0023】

また、第10の本発明は、前記リアクタンス素子がコンデンサとインダクタとの直列回路を含む構成である第8の本発明の帯域阻止型フィルタである。

【0024】

また、第11の本発明は、前記リアクタンス素子がチップ部品である第1の本発明の帯域阻止型フィルタである。

【0025】

また、第12の本発明は、前記リアクタンス素子が前記圧電基板上に形成される第1の本発明の帯域阻止型フィルタである。

【0026】

また、第13の本発明は、前記リアクタンス素子が前記帯域阻止型フィルタを実装する実装基板内に形成される第1の本発明の帯域阻止型フィルタである。

【0027】

また、第14の本発明は、前記実装基板が誘電体層を有する積層体である第13の本発明の帯域阻止型フィルタである。

【0028】

また、第15の本発明は、前記音響共振器が前記実装基板上にフェースダウン実装されている第13の本発明の帯域阻止型フィルタである。

【0029】

また、第16の本発明は、前記弾性表面波共振器の接地される電極パッドは前記圧電基板上で分離されている第2の本発明の帯域阻止型フィルタである。

【0030】

また、第17の本発明は、前記音響共振器は圧電体共振器である第1の本発明の帯域阻止型フィルタである。

【0031】

また、第18の本発明は、前記圧電体共振器は、上部電極と、下部電極と、前記上部電極および下部電極に挟まれた圧電体層とを有するバルク波共振器である第17の本発明の帯域阻止型フィルタである。

【0032】

また、第19の本発明は、前記圧電体層は、圧電薄膜により構成される第18の本発明の帯域阻止型フィルタである。

【0033】

また、第20の本発明は、前記リアクタンス素子は、前記バルク波共振器の前記電極を利用して形成される第18の本発明の帯域阻止型フィルタである。

【0034】

また、第21の本発明は、前記弾性表面波共振器の共振周波数が互いに異なる第1の本発明の帯域阻止型フィルタである。

【0035】

また、第22の本発明は、前記音響共振器の前記一端は、少なくとも前記圧電基板上ではそれぞれ独立した配線を介することにより接地されている第1の本発明の帯域阻止型フィルタである。

【0036】

また、第23の本発明は、前記リアクタンス素子は、前記音響共振器の共振周波数と所定の大きさ離れた共振周波数を有する音響共振器である第1の本発明の帯域阻止型フィルタである。

【0037】

また、第24の本発明は、第1の本発明の帯域阻止型フィルタを備えたフィルタ装置である。

【0038】

また、第25の本発明は、送信側フィルタと、

受信側フィルタとを備え、
前記送信側フィルタまたは前記受信側フィルタとして、第24の本発明の帯域阻止型フィルタを用いたアンテナ共用器である。

【0039】

また、第26の本発明は、前記リアクタンス素子は、前記音響共振器の共振周波数と所定の大きさ離れた共振周波数を有する音響共振器である第1の本発明の帯域阻止型フィルタである。

【0040】

また、第27の本発明は、信号を送信するための送信手段と、
信号を受信するための受信手段とを備え、
前記送信手段および／または前記受信手段に、第1の本発明の帯域阻止型フィルタを用いた通信機器である。

【発明の効果】

【0041】

本発明によれば、所望の阻止帯域において高減衰で、阻止帯域の上下周波数において低損失である帯域阻止型フィルタ及びそれを用いた通信機器等を実現することができる。

【発明を実施するための最良の形態】

【0042】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0043】

(実施の形態1)

以下、本発明の実施の形態1の弾性表面波フィルタについて図面を参照にして説明する。

【0044】

図1に、実施の形態1における弾性表面波フィルタの構成、および通過特性を示す。図1において、(a)は弾性表面波フィルタの構成、(b)は通過特性である。図1(a)に示すように、弾性表面波フィルタは、本発明の音響共振器として第1、及び第2の弾性表面波共振器101、102と、それらを結合するリアクタンス素子としてのインダクタ103とを備えている。弾性表面波共振器101、102は、図19(a)で示したように、本発明の圧電基板に相当する圧電基板上に形成されたIDT電極と、その両側に配置した反射器電極とを備えている。

【0045】

さらに説明すると、弾性表面波共振器101および102はその一端がそれぞれ接地されており、それぞれ他端は、信号の入出力端を有する伝送線104に、所定の間隔において接続されており、インダクタ103はこの他端間の所定の間隔上に設けられている。

【0046】

図1(b)は同図(a)の構成において、インダクタ103のインダクタンスを8nHに設定したときの周波数900MHz近傍での通過特性を示す。最大減衰量は約38dBで、阻止帯域の上下周波数で、広帯域にわたって低損失化が実現できている。

【0047】

図2(a)は、規格化インピーダンス($\omega L / Z_0$)に対する最大減衰量を示したものである。ここで、 Z_0 は特性インピーダンス、 ω は角周波数、 L はインダクタンスであり、 $Z_0 = 50\Omega$ としている。実線、長点線、短点線はそれぞれ、本実施の形態における構成のインピーダンスに対する最大減衰量、図20に示す従来例1の構成の最大減衰量、図21に示す従来例2の構成の最大減衰量をプロットしたものである。図2(b)は、規格化インピーダンスに対する帯域外での損失を示したものである。実線、長点線、短点線はそれぞれ、本実施の形態における構成の規格化インピーダンスに対する帯域外での損失、図20(b)に示す従来例1の構成の損失、図21(b)に示す従来例2の構成の損失をプロットしたものである。従来例1は従来例2に比べて、帯域での減衰量は大きい、帯域外での損失も大きい。また、従来例2は従来例1に比べて帯域外での損失は小さいが、

帯域での減衰量も小さい。すなわち、減衰帯域での減衰量の増大と帯域外での損失低減の両特性を満たすことができない。

【0048】

本実施の形態の減衰特性は、図21(b)に示す従来例2の特性に比べて Z/Z_0 のすべての領域で減衰量が大きく、図20(b)に示す従来例1に比べて $Z/Z_0 > 1$ の範囲で減衰量が大きくなっていて、40 dBを超えている。また、本実施の形態の損失特性は、図20(b)に示す従来例1に比べて Z/Z_0 のすべての領域で損失が改善され、図21(b)に示す従来例2に比べて $Z/Z_0 < 1.5$ で損失が改善され、1 dB以下になっている。つまり、インピーダンス Z が Z_0 と $1.5 Z_0$ の範囲で減衰量、損失ともに従来の特性に比べて改善している。

【0049】

以上説明したように、本実施の形態における弾性表面波フィルタは、2つの弾性表面波共振器をリアクタンス素子としてのインダクタを用いて結合させることにより、高減衰、かつ低損失な帯域阻止特性を有する弾性表面波フィルタを実現することができる。

【0050】

なお、本実施の形態においては、弾性表面波共振器を2つとしているがこれは3つ以上であってもかまわない。このとき、伝送線上に接続された弾性表面波共振器の他端間には必ずインダクタを設けるようにしてもよいし、他端間であっても、インダクタを設けない箇所を設けてもよい。少なくとも2つの弾性表面波共振器の、それぞれ接地されていない方の端部同士の間、インダクタが少なくとも一つ設けられるようになっていけばよい。また、実装上におけるインダクタは、複数のインダクタの直列回路または並列回路もしくはそれらの組み合わせとして実現してもよい。また弾性表面波共振器自体の構成に関してもこれに限るものではない。

【0051】

また、本実施の形態における圧電基板は、単結晶を用いた基板であっても、基板上に圧電薄膜を形成した基板であっても、または、圧電基板上に誘電体薄膜を形成した基板のことである。弾性表面波フィルタを構成する弾性表面波共振器が直列共振と並列共振を有する特性であれば本実施の形態と同様の効果が得られる。

【0052】

(実施の形態2)

以下、本発明の実施の形態2の弾性表面波フィルタについて図面を参照にして説明する。

【0053】

実施の形態2における弾性表面波フィルタの構成は実施の形態1と同様であるが、弾性表面波フィルタを構成する弾性表面波共振器101、102の共振周波数に差異をつけている。つまり、弾性表面波共振器101、102のIDT電極のピッチに差異が付けられていて、その結果、それぞれの共振周波数、反共振周波数が異なる。

【0054】

図3(a)は、インダクタ値を8 nHとしたときの周波数900 MHz近傍での通過特性を示す。また、図3(b)は比較のために、従来例2の回路において2つの弾性表面波共振器1901、1902の共振周波数に差異を付けた場合の900 MHz近傍での通過特性を示す。本実施の形態2において、共振周波数の差異により阻止帯域が広げられ、且つ図3(b)に示す従来例2の通過特性に比べて、減衰量が大きく、さらに減衰帯域の両側で損失を小さくすることができる。

【0055】

以上説明したように、本実施の形態における弾性表面波フィルタは、共振周波数の異なる2つの弾性表面波共振器をリアクタンス素子としてのインダクタを用いて結合させることにより、高減衰で阻止帯域が広く、かつ低損失な帯域阻止特性を有する弾性表面波フィルタを実現することができる。

【0056】

なお、本実施の形態においては、弾性表面波共振器を2つとしているがこれは3つ以上であってもかまわない。この場合のインダクタの配置の構成も、実施の形態1の場合と同様であってよい。弾性表面波共振器の構成に関してもこれに限るものではない。

【0057】

また、本実施の形態における圧電基板は、単結晶を用いた基板であっても、基板上に圧電薄膜を形成した基板であっても、または、圧電基板上に誘電体薄膜を形成した基板のことである。弾性表面波フィルタを構成する弾性表面波共振器が直列共振と並列共振を有する特性であれば本実施の形態と同様の効果が得られる。

【0058】

(実施の形態3)

以下、本発明の実施の形態3の弾性表面波フィルタについて図面を参照にして説明する。

【0059】

図4に、実施の形態3における弾性表面波フィルタの圧電基板上に形成された部分の構成を示す。図4において、弾性表面波フィルタの圧電基板上に形成された部分の構成は、本発明の圧電基板に相当する圧電基板401上に形成された第1、及び第2の弾性表面波共振器402、403により構成される。第1の弾性表面波共振器402のIDT電極には電極パッド404、405が設けられ、第2の弾性表面波共振器403のIDT電極には電極パッド406、407が設けられている。

【0060】

次に、図5(a)に、本実施の形態の弾性表面波フィルタ全体の構成を示す。図5(a)において、弾性表面波フィルタは、第1の弾性表面波共振器402の電極パッド404は入力端子501に接続され、第2の弾性表面波共振器403の電極パッド406は出力端子502に接続される。また、第1、2の弾性表面波共振器402、403の間にはインダクタ503が配置される。第1の弾性表面波共振器402の電極パッド405はワイヤーや実装基板の引き回し配線等の寄生成分を仮定したインダクタンス成分504を介して接地される。第2の弾性表面波共振器403の電極パッド407はワイヤーや実装基板の引き回し配線等の寄生成分を仮定したインダクタンス成分505を介して接地される。すなわち、圧電基板401上で各弾性表面波共振器のグラウンドは分離独立して設けられている。つまり、圧電基板401から両弾性表面波共振器のグラウンドを引き出す際にワイヤーや実装基板の引き回し配線等の共通インピーダンスを持たないようにしている。なお、ここではグラウンドを引き出す際の寄生成分のみ考慮している。

【0061】

図5(b)に本実施の形態の通過特性を示す。図5(a)において、インダクタ503のインダクタンスは10nHで、寄生成分としてのインダクタ504、505のインダクタンスは1nHとしている。

【0062】

図6は比較のための例であって、第1、2の弾性表面波共振器402、403のグラウンドに接続される電極パッド601を共通としている。すなわち、図7(a)に示すように、両弾性表面波共振器のグラウンドに接続される電極パッドは圧電基板上で共通化され、寄生成分を仮定したインダクタ701を介して接地されている。図7(b)にその特性を示す。ここで、インダクタ701のインダクタンスは1nHとしている。図5(b)と図7(b)の比較から、本実施の形態における通過特性は帯域での減衰量が極めて大きくなっている。つまり、グラウンドに接続される電極パッドを独立に設けることにより、すなわち各弾性表面波共振器を、少なくとも前記圧電基板上ではそれぞれ独立した配線を介して接地させることにより、実施の形態1および実施の形態2における弾性表面波フィルタの特性を低下させることなく実装できる。

【0063】

なお、実装に関しては、ワイヤー実装であってもフェースダウン実装であってもかまわない。例えば、図8は弾性表面波フィルタをパッケージにワイヤー実装した構成図であり

、圧電基板 401 上の 4 つの電極パッド 404、405、406、407 が独立にパッケージ内の端子 801a、801b、801c、801d にワイヤー 802a、802b、802c、802d によって接続されている。なお、弾性表面波共振器の間に配置されるインダクタは端子 801a と 801b との間に接続される。また、端子 801a と 801b とはパッケージの内部あるいは外部にて接地される。

【0064】

また、図 9 は弾性表面波フィルタをフェースダウンで実装基板に実装した構成図であり、2 個の弾性表面波共振器 901 が形成された圧電基板 401 上の電極パッド 404、406 がフェースダウンでバンプ 902a、902b を介して実装基板 906 上のパッド 903a、903b に接続されている。実装基板 906 上の各パッド 903a、903b はビアホール 904a、904b を介して下面の外部端子 905a、905b に電氣的に接続されている。また、図示はしていないが、電極パッド 405、407 に関しても同様に実装基板 906 に接続されて接地される。

【0065】

以上説明したように、本実施の形態における弾性表面波フィルタは、2 つの弾性表面波共振器の接地される電極パッドを圧電基板上で独立させることにより、高減衰、かつ低損失な帯域阻止特性を有する弾性表面波フィルタを実現することができる。

【0066】

なお、本実施の形態においては、弾性表面波共振器を 2 つとしているが、実施の形態 1 と同様に 3 つ以上であってもかまわない。弾性表面波共振器の構成に関してもこれに限るものではない。

【0067】

また、本実施の形態における圧電基板は、単結晶を用いた基板であっても、基板上に圧電薄膜を形成した基板であっても、または、圧電基板上に誘電体薄膜を形成した基板のことである。弾性表面波フィルタを構成する弾性表面波共振器が直列共振と並列共振を有する特性であれば本実施の形態と同様の効果が得られる。

【0068】

(実施の形態 4)

以下、本発明の実施の形態 4 の弾性表面波フィルタについて図面を参照にして説明する。

【0069】

図 10 に、実施の形態 4 における弾性表面波フィルタの構成、および通過特性を示す。図 10 において、(a) は弾性表面波フィルタの構成、(b) は通過特性である。図 10 (a) に示すように、弾性表面波フィルタは第 1、及び第 2 の弾性表面波共振器 1001、1002 と、それらを結合するリアクタンス素子としてのコンデンサ 1003 とからなる。

【0070】

さらに説明すると、弾性表面波共振器 1001 および 1002 はその一端がそれぞれ接地されており、それぞれ他端は、信号の入出力端を有する伝送線 1004 に、所定の間隔をおいて接続されており、コンデンサ 1003 はこの他端間の所定の間隔上に設けられている。弾性表面波共振器 1001、1002 は、図 19 (a) で示したように、圧電基板上に形成された IDT 電極と、その両側に配置した反射器電極とを備えている。

【0071】

図 10 (b) は、コンデンサ 1003 の容量を 8 pF に設定したときの周波数 900 MHz 近傍での通過特性を示す。図 21 (b) で示した従来例 2 の通過特性に比べて高減衰化が実現している。

【0072】

図 11 は、規格化インピーダンス ($Z = 1 / \omega C Z_0$) に対する最大減衰量を示したものである。ここで、 Z_0 は特性インピーダンス、 ω は角周波数、 C は容量であり、 $Z_0 = 50 \Omega$ としている。実線、長点線、短点線はそれぞれ、本実施の形態における構成の規格

化インピーダンスに対する最大減衰量、図 20 に示す従来例 1 の構成の最大減衰量、および図 21 に示す従来例 2 の構成の最大減衰量を示している。本実施の形態の特性は、図 20 に示す従来例 1 に比べて $Z/Z_0 > 1$ で減衰量が増大し、また、図 21 に示す従来例 2 の特性に比べて Z/Z_0 のすべての領域で減衰量が増大している。

【0073】

以上説明したように、本実施の形態における弾性表面波フィルタは、2つの弾性表面波共振器をリアクタンス素子としてのコンデンサを用いて結合させることにより、高減衰、かつ低損失な帯域阻止特性を有する弾性表面波フィルタを実現することができる。

【0074】

なお、本実施の形態においては、弾性表面波共振器を2つとしているがこれは3つ以上であってもかまわない。この時のコンデンサの配置は、実施の形態1のインダクタの配置と同様に行えばよい。また、また、実装上におけるコンデンサは、複数のコンデンサの直列回路または並列回路もしくはそれらの組み合わせであってもよい。また、弾性表面波共振器の構成に関してもこれに限るものではない。

【0075】

また、本実施の形態における圧電基板は、単結晶を用いた基板であっても、基板上に圧電薄膜を形成した基板であっても、または、圧電基板上に誘電体薄膜を形成した基板のことである。弾性表面波フィルタを構成する弾性表面波共振器が直列共振と並列共振を有する特性であれば本実施の形態と同様の効果が得られる。

【0076】

なお、本実施の形態1から4においては、2つの弾性表面波共振器を結合させるリアクタンス素子としてインダクタもしくはコンデンサを用いて説明したが、これは図12に示すようにインダクタとコンデンサの並列回路、もしくは直列回路を用いて形成してもかまわない。図12(a)、(b)に示すのはそれぞれインダクタとコンデンサの並列回路、及び直列回路である。図12(a)において、弾性表面波共振器1201、1202はコンデンサ1203とインダクタ1204の並列回路を用いて結合されている。また、図12(b)において、弾性表面波共振器1201、1202はコンデンサ1205とインダクタ1206の直列回路を用いて結合されている。なお、実装上におけるコンデンサ、インダクタの個数は、当然、いずれも複数以上であってよい。

【0077】

また、本実施の形態においては、弾性表面波共振器を2つとしているがこれは3つ以上であってもかまわない。この場合、上記直列回路または並列回路の配置は、実施の形態1のインダクタの配置と同様に行えばよい。

【0078】

(実施の形態5)

以下、本発明の実施の形態5の弾性表面波フィルタについて図面を参照にして説明する。

【0079】

実施の形態5における弾性表面波フィルタの圧電基板上の構成を図13に示す。図13において、弾性表面波フィルタは、本発明の圧電基板に相当する圧電基板401上に形成された第1、及び第2の弾性表面波共振器402、403により構成される。第1の弾性表面波共振器402のIDT電極には電極パッド404、405が設けられ、第2の弾性表面波共振器403のIDT電極には電極パッド406、407が設けられている。さらに、電極パッド404、406の間には圧電基板上に形成されたインダクタ1301が接続される。この場合、インダクタ1301は弾性表面波共振器の成膜、パターン化の工程と同時に形成できる。また、電極パッド404、406は入出力端子に接続され、電極パッド405、407は接地される。以上のような構成とすることにより、パッケージ外部でのインダクタの接続が不要になり小型化を実現することができる。

【0080】

また、2つの弾性表面波共振器を結合するインダクタを予め誘電体層を積層して作成し

た実装基板内に形成し、弾性表面波共振器を形成した圧電基板をフェイスダウンで実装基板上に実装した構成としてもかまわない。図14は弾性表面波フィルタをフェイスダウンで実装基板に実装した構成図であり、2個の弾性表面波共振器901が形成された圧電基板401上の電極パッド404、406がフェイスダウンでバンプ902a、902bを介して実装基板906上のパッド903a、903bに接続されている。実装基板906上の各パッド903a、903bはビアホール904a、904bを介して下面の外部端子905a、905bに電氣的に接続されている。また、図示はしていないが、電極パッド405、407に関しても同様に実装基板に接続されて接地される。インダクタ1401は実装基板906の内層パターンにより形成され、フィルタの入出力端子間、すなわち電氣的に弾性表面波共振器間に接続されている。この場合、インダクタ1401の形成可能な領域は広くとれるため、より大きなインダクタンスを得ることができる。なお、インダクタ1401は実装基板の表面に形成することも可能である。

【0081】

以上説明したように、本実施の形態における弾性表面波フィルタは、2つの弾性表面波共振器を結合するインダクタを圧電基板上、もしくは実装基板内に形成することにより、弾性表面波フィルタの小型化を実現することができる。

【0082】

なお、本実施の形態においては、弾性表面波共振器を2つとしているが、実施の形態1～4同様、これは3つ以上であってもかまわない。弾性表面波共振器の構成に関してもこれに限るものではない。

【0083】

また、本実施の形態における圧電基板は、単結晶を用いた基板であっても、基板上に圧電薄膜を形成した基板であっても、または、圧電基板上に誘電体薄膜を形成した基板のことである。弾性表面波フィルタを構成する弾性表面波共振器が直列共振と並列共振を有する特性であれば本実施の形態と同様の効果が得られる。

【0084】

また、本実施の形態において、インダクタは実装基板に内層されとしたが、これはパッケージ内であってもかまわない。

【0085】

また、インダクタに関しては、圧電基板上、もしくは実装基板内に形成するとしているが、これはワイヤー実装におけるワイヤーのインダクタンス成分を利用してもかまわない。

【0086】

なお、本実施の形態において、リアクタンス素子として、インダクタを用いた場合の形成方法について述べたが、これはコンデンサであっても、あるいはその両方であってもかまわない。

【0087】

(実施の形態6)

以下、本発明の実施の形態6の帯域阻止型フィルタについて図面を参照にして説明する。

【0088】

実施の形態6における帯域阻止フィルタの等価回路図を図15に示す。上記の各実施の形態では、本発明の帯域阻止フィルタは、音響共振器として弾性表面波共振器を有する弾性表面波フィルタであるとしたが、本実施の形態では2個の音響共振器は弾性表面波タイプの共振器ではなく、バルク波タイプの圧電体共振器である。

【0089】

図15において、帯域阻止型フィルタは第1、及び第2の圧電体共振器1501、1502と、リアクタンス素子としてのインダクタ1503とから構成される。第1、及び第2の圧電体共振器1501、1502は、直列共振と並列共振を有する特性であり、圧電体共振器の等価回路としては弾性表面波共振器と等価である。すなわち、共振器の動作と

しては弾性表面波フィルタと同様であり、このような圧電体共振器を、インダクタを用いて結合させることにより、低損失で高減衰の帯域阻止型フィルタが実現できる。例えば、このような特性の圧電体共振器としては、圧電薄膜を用いたバルク波共振器、単結晶を用いたバルク波共振器などが挙げられる。さらに、このようなバルク波共振器においては、作成可能な周波数領域は限定されるが、圧電材料を最適に選ぶことにより共振器のQ値を上げることが可能であり、弾性表面波共振器を用いる場合よりも、さらに低損失化、高減衰化が実現できる。また、リアクタンス素子の規格化インピーダンス特性も、等価回路の特性インピーダンスに併せて設定して、弾性表面波共振器の場合と同様に最適化されるものである。

【0090】

ここで、図16(a)に、バルク波タイプの圧電体共振器を用いた帯域阻止型フィルタの具体的な構成の一例を示す。帯域阻止型フィルタは、基板2001と、基板2001上に設けられた、その両主面上に共振器電極が備えられた、本発明の圧電体層に相当する圧電体層2002とを備える。

【0091】

さらに圧電体層2002の上主面には所定の間隔を有して上部電極2003aおよび上部電極2003bが設けられ、圧電体層2002の、上部電極2003aと対向する下主面には下部電極2004aが、また上部電極2003bと対向する下主面には下部電極2004bがそれぞれ設けられている。下部電極2004aおよび2004bはそれぞれ独立に接地されており、上部電極2003aおよび2003bはそれぞれ信号の入出力端に接続される。また、上部電極2003aと2003bとの所定の間隔を埋めるように、これらを電気的に接続するインダクタ2006が設けられる。なお、上部、下部の各電極はモリブデン、アルミ、白金等をパターンニングして形成すればよい。

【0092】

一方、基板2001において、下部電極2004aおよび2004bとそれぞれ接する面上には窪みが設けられ、キャビティ2007aおよび2007bが形成される。

【0093】

以上の構成において、上部電極2003aと、下部電極2004aと、上部電極2003aと下部電極2004aに挟まれる圧電体層2002の一部と、キャビティ2007aを形成する基板2001の一部とが、圧電体共振器1501に対応する第1の共振器2008を形成する。また、上部電極2003bと、下部電極2004bと、上部電極2003bと下部電極2004bに挟まれる圧電体層2002の一部と、キャビティ2007bを形成する基板2001の一部とが、圧電体共振器1502に対応する第2の共振器2009を形成する。

さらにインダクタ2006はインダクタ1503に相当し、電極をパターンニングすること等により形成される。

【0094】

次に、図16(b)に、バルク波タイプの圧電体共振器を用いた帯域阻止型フィルタの具体的な構成の他の一例を示す。ただし同一部または相当部には同一符号を付し、詳細な説明は省略する。図16(b)に示す例は、インダクタ直下の部分に、圧電体層2002の代わりに絶縁体層2014を形成した。これにより、共振器間のアイソレーションを高めることができる。

【0095】

このように、本実施の形態における帯域阻止型フィルタは、2つの圧電体共振器をリアクタンス素子としてのインダクタを用いて結合させることにより、高減衰、かつ低損失な帯域阻止特性を有する弾性表面波フィルタを実現することができる。

【0096】

また、本実施の形態においては、圧電体共振器を2つとしているがこれは3つ以上であってもかまわない。このとき、圧電体共振器の上部電極間には必ずインダクタを設けるようにしてもよいし、上部間であっても、インダクタを設けない箇所を設けてもよい。少な

くとも2つの圧電体共振器の、それぞれ接地されていない方の電極同士の間、インダクタが少なくとも一つ設けられるようになっていけばよい。また、実装上におけるインダクタは、複数のインダクタの直列回路または並列回路もしくはそれらの組み合わせとして実現してもよい。また圧電体共振器の構成に関してもこれに限るものではない。

【0097】

なお、リアクタンス素子としてインダクタを用いて説明したが、コンデンサを用いてもかまわない。

【0098】

ここで図17(a)～(c)に、リアクタンス素子としてコンデンサを用いた場合の、圧電体共振器による帯域阻止型フィルタの具体的な構成の一例を示す。ただし図16(a)(b)と同一部または相当部には同一符号を付し、詳細な説明は省略する。

【0099】

図17(a)に示すように、帯域阻止型フィルタは、図内左右方向において上部電極2010aの長さとして上部電極2010bの長さが異なり、上部電極2010aのほうが下部電極2011bより長い。一方、下部電極2011aの長さとして下部電極2011bの長さも異なり、下部電極2011bのほうが下部電極2011aより長い。さらに、下部電極2011aは接地されているが、下部電極2011bは接地されておらず、代わりに上部電極2010bが接地された構成を有している。

【0100】

以上の構成においては、圧電体層2002を挟んで、(A)上部電極2010aと下部電極2011aとが対向する部分、(B)上部電極2010bと下部電極2011bとが対向する部分、(C)上部電極2010aと下部電極2011bとが対向する部分、がそれぞれ形成される。(A)の部分が第1の共振器2008、(B)の部分が第2の共振器2009を形成し、さらに(C)の部分が実施の形態4のコンデンサ1003と同等のキャパシタ2012を形成する。

【0101】

また、図17(b)に示す例では、上記(C)の部分において、圧電体層2002の厚さを他の(A)(B)の部分より薄くする構成とした。これにより、キャパシタ2012のキャパシタンスを大きくとることができる。

【0102】

さらに図17(c)に示す例では、上記(C)の部分において、上部電極2010aと下部電極2011bとの間を圧電体層2002の代わりに誘電体を挿入する構成とした。これにより、キャパシタ2012のキャパシタンスを所望の値に設定できるとともに、共振器間のアイソレーションを高めることができる。

【0103】

キャパシタを用いた場合も、圧電体共振器は3つ以上としてもよい。このとき、圧電体共振器の各電極間には、必ず上部電極と下部電極とが重なり合う部分を形成してコンデンサを設けるようにしてもよいし、一部は上部電極と下部電極とが重なりあわない部分を形成してキャパシタを設けないようにしてもよい。少なくとも2つの圧電体共振器の間に、キャパシタが少なくとも一つ設けられるようになっていけばよい。また、実装上におけるキャパシタは、複数のキャパシタの直列回路または並列回路もしくはそれらの組み合わせとして実現してもよい。また圧電体共振器の構成に関してもこれに限るものではない。

【0104】

また、実施の形態2と同様に、個々の圧電体共振器の共振周波数を変えることにより阻止帯域を広げることが可能であり、また、実施の形態4と同様に、リアクタンス素子として、コンデンサ、あるいはインダクタとキャパシタの並列回路、あるいはインダクタとキャパシタの直列回路を用いてもかまわない。また、実施の形態5と同様に、リアクタンス素子をパッケージや実装基板に形成することにより小形化が実現できる。

【0105】

また、本発明の弾性表面波フィルタ、あるいは帯域阻止型フィルタは他の構成のフィル

タと組み合わせて使用することも可能である。

【0106】

また、圧電体共振器を基板2001に窪みを設けてなるキャビティ2007a、2007bを用いた構成として説明を行ったが、これは、基板底面から貫通孔を開けたキャビティ構成であっても、キャビティを設けずに、音響ミラーを用いた構成であっても構わない。また、第1の共振器2008、第2の共振器2009も、圧電体層の両主面にそれぞれ電極を設けた構成として説明を行ったが、これに限るものでなく、共振、反共振特性を有する構成であれば構わない。

【0107】

また、インダクタ2006やキャパシタ2012は、いずれも基板2001上に形成するものとして説明したが、これらは基板2001外に設けて、ボンディングワイヤ等で各共振器に接続する構成としてもよい。

【0108】

さらに、上記の各実施の形態においては、リアクタンス素子はインダクタ、コンデンサ、またはそれらの組み合わせであるとして説明を行ったが、本発明のリアクタンス素子は、上述した弾性表面波共振器または圧電体共振器によって実現してもよい。この場合の構成は図20(a)に示す、 π 型接続の構成を有するバンドパスフィルタに類似するが、その共振周波数を、他の音響共振器から、所定の大きさとして程度シフトして設定することにより、容量性のリアクタンス素子として機能させることができる。なお、所定の大きさとは、本来の共振器として機能する音響共振器の共振／反共振周波数が、リアクタンス素子として機能する音響共振器の共振周波数以下、あるいは反共振周波数以上となる大きさである。この周波数では音響共振器の特性が容量性となり、これにより、上記各実施の形態と同様の効果が得られる。

【0109】

(実施の形態7)

以下、本発明の実施の形態7の通信機器について図面を参照にして説明する。

【0110】

図18(a)に示すのは、本発明の通信機器1601のブロック図である。図18(a)において、送信回路から出力される送信信号は、送信増幅器1602、送信フィルタ1603、スイッチ1604を介してアンテナ1605より送信される。また、アンテナ1605より受信された受信信号は、スイッチ1604、受信フィルタ1606、受信増幅器1607を介して受信回路に入力される。なお、送信増幅器1602、送信フィルタ1603は本発明の送信手段に相当し、受信フィルタ1606、受信増幅器1607は本発明の受信フィルタに相当する。

【0111】

本発明の帯域阻止型フィルタを通信機器1601の送信フィルタ1603の一部、または受信フィルタ1606の一部に適用することにより、送信時の効率化、受信時の感度向上が実現でき、高性能な通信機器を実現することができる。

【0112】

また、通信機器1601において、送信と受信とを切り換える手段としてスイッチ1604を用いて説明したが、図18(b)に示すように、これはアンテナ共用器1608であってもかまわない。本発明の帯域阻止型フィルタをアンテナ共用器1608の送信側フィルタの一部、あるいは受信側フィルタの一部に適用することにより、阻止帯域の減衰量を十分に確保でき、送信と受信のアイソレーションを十分に確保できるものである。このとき送信側フィルタ、または受信側フィルタは本発明のフィルタ装置に相当する。また、アンテナ共用器1608は本発明のアンテナ共用器に相当する。なお、本発明のフィルタ装置は、上記実施の形態の送信側フィルタ、受信側フィルタのように、本発明の帯域阻止フィルタと他のフィルタとの組み合わせとして実現してもよいし、本発明の帯域阻止フィルタ単体で実現してもよい。

【産業上の利用可能性】

【0113】

本発明にかかる帯域阻止フィルタ、フィルタ装置、アンテナ共用器、通信機器は、所望の阻止帯域において高減衰で、阻止帯域の上下周波数において低損失であることが必要な、通信機器に使用する帯域阻止型フィルタ等の用途にも適用できる。

【図面の簡単な説明】

【0114】

【図1】 (a) 実施の形態1における弾性表面波フィルタの構成図 (b) 実施の形態1における弾性表面波フィルタの構成の通過特性図

【図2】 (a) 規格化インピーダンスに対する最大減衰量を示す図 (b) 規格化インピーダンスに対する帯域外での損失を示す図

【図3】 (a) 実施の形態2における弾性表面波フィルタの通過特性図 (b) 従来例2において弾性表面波共振器の共振周波数を変えた場合の通過特性図

【図4】 実施の形態3における弾性表面波フィルタの圧電基板上の構成図

【図5】 (a) 実施の形態3における弾性表面波フィルタの構成図 (b) 実施の形態3における弾性表面波フィルタの通過特性図

【図6】 実施の形態3における比較のための弾性表面波フィルタの圧電基板上の構成図

【図7】 (a) 実施の形態3における比較のための弾性表面波フィルタの構成図 (b) 実施の形態3における比較のための弾性表面波フィルタの通過特性図

【図8】 ワイヤー実装した場合の弾性表面波フィルタの構成図

【図9】 フェイスダウン実装した場合の弾性表面波フィルタの構成図

【図10】 (a) 実施の形態4における弾性表面波フィルタの構成図 (b) 実施の形態4における弾性表面波フィルタの通過特性図

【図11】 規格化インピーダンスに対する最大減衰量を示す図

【図12】 (a) リアクタンス素子としてコンデンサとインダクタの並列回路を用いた構成図 (b) リアクタンス素子としてコンデンサとインダクタの直列回路を用いた構成図

【図13】 実施の形態5における弾性表面波フィルタの圧電基板上の構成図

【図14】 実施の形態5における弾性表面波フィルタの実装基板に実装した場合の構成図

【図15】 実施の形態6における帯域阻止型フィルタの等価回路図

【図16】 (a) 実施の形態6における帯域阻止型フィルタの具体的な構成の一例を示す図 (b) 実施の形態6における帯域阻止型フィルタの具体的な構成の他の一例を示す図

【図17】 (a) 実施の形態6における帯域阻止型フィルタの具体的な構成の一例を示す図 (b) 実施の形態6における帯域阻止型フィルタの具体的な構成の他の一例を示す図 (c) 実施の形態6における帯域阻止型フィルタの具体的な構成の他の一例を示す図

【図18】 (a) 実施の形態7における通信機器のブロック図 (b) 実施の形態7における共用器を用いた場合の通信機器のブロック図

【図19】 (a) 弾性表面波共振器の構成図 (b) 圧電体共振器の構成図 (c) 弾性表面波共振器および圧電体共振器の等価回路図

【図20】 (a) 従来例1における弾性表面波フィルタの構成図 (b) 従来例1における弾性表面波フィルタの通過特性図

【図21】 (a) 従来例2における弾性表面波フィルタの構成図 (b) 従来例2における弾性表面波フィルタの通過特性図

【符号の説明】

【0115】

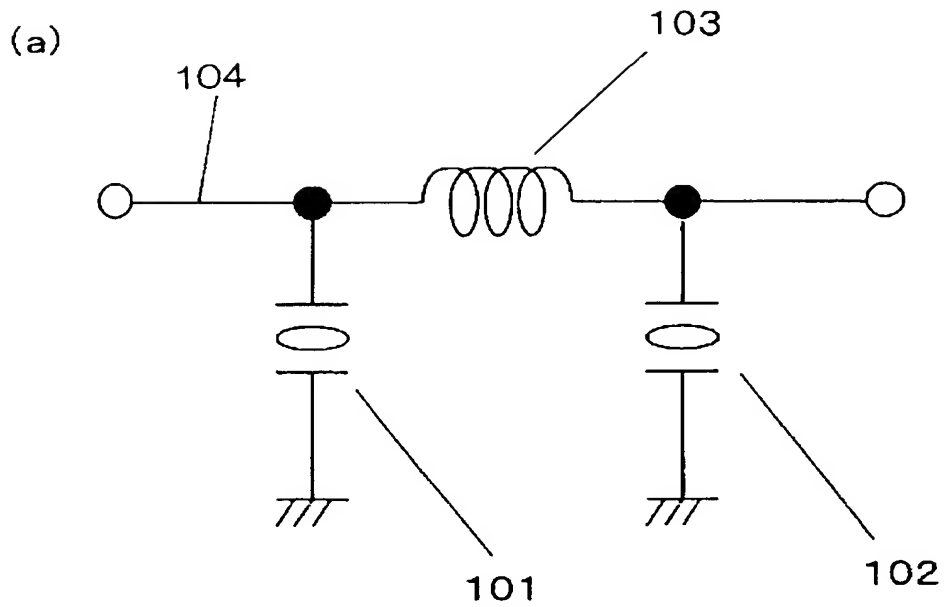
101 弾性表面波共振器

1 0 2 弾性表面波共振器
1 0 3 インダクタ
4 0 1 圧電基板
4 0 2 第 1 の弾性表面波共振器
4 0 3 第 2 の弾性表面波共振器
4 0 4 電極パッド
4 0 5 電極パッド
4 0 6 電極パッド
4 0 7 電極パッド
5 0 1 入力端子
5 0 2 出力端子
5 0 3 インダクタ
5 0 4 インダクタ成分
5 0 5 インダクタ成分
6 0 1 電極パッド
7 0 1 インダクタ成分
8 0 1 a, 8 0 1 b, 8 0 1 c, 8 0 1 d 端子
8 0 2 a, 8 0 2 b, 8 0 2 c, 8 0 2 d ワイヤ
9 0 1 弾性表面波共振器
9 0 2 a, 9 0 2 b バンプ
9 0 3 a, 9 0 3 b パッド
9 0 4 a, 9 0 4 b ビアホール
9 0 5 a, 9 0 5 b 外部端子
9 0 6 実装基板
1 0 0 1 弾性表面波共振器
1 0 0 2 弾性表面波共振器
1 0 0 3 コンデンサ
1 2 0 1 弾性表面波共振器
1 2 0 2 弾性表面波共振器
1 2 0 3 コンデンサ
1 2 0 4 インダクタ
1 2 0 5 コンデンサ
1 2 0 6 インダクタ
1 3 0 1 インダクタ
1 4 0 1 インダクタ
1 5 0 1 圧電体共振器
1 5 0 2 圧電体共振器
1 5 0 3 インダクタ
1 6 0 1 通信機器
1 6 0 2 送信増幅器
1 6 0 3 送信フィルタ
1 6 0 4 スイッチ
1 6 0 5 アンテナ
1 6 0 6 受信フィルタ
1 6 0 7 受信増幅器
1 6 0 8 アンテナ共用器
1 7 0 1 圧電基板
1 7 0 2 I D T 電極
1 7 0 3 反射器電極
1 7 0 4 反射器電極

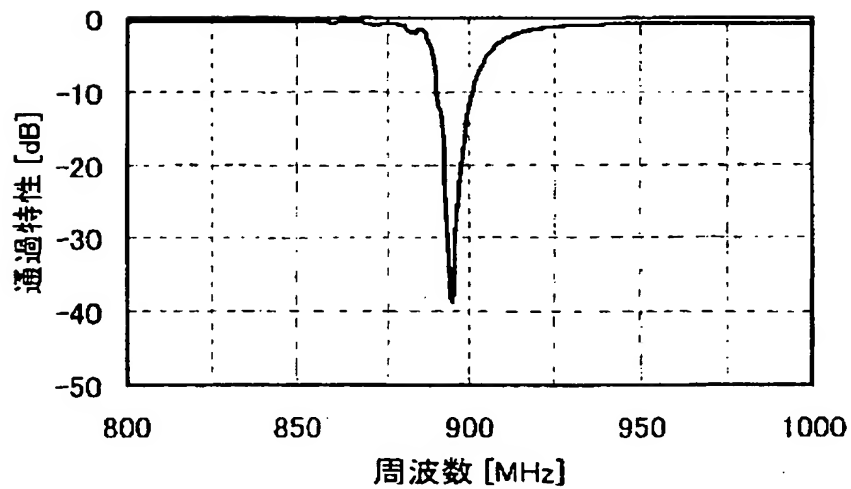
- 1 8 0 1 弾性表面波共振器
- 1 8 0 2 弾性表面波共振器
- 1 8 0 3 弾性表面波共振器
- 1 9 0 1 弾性表面波共振器
- 1 9 0 2 弾性表面波共振器

【書類名】 図面

【図 1】



(b)



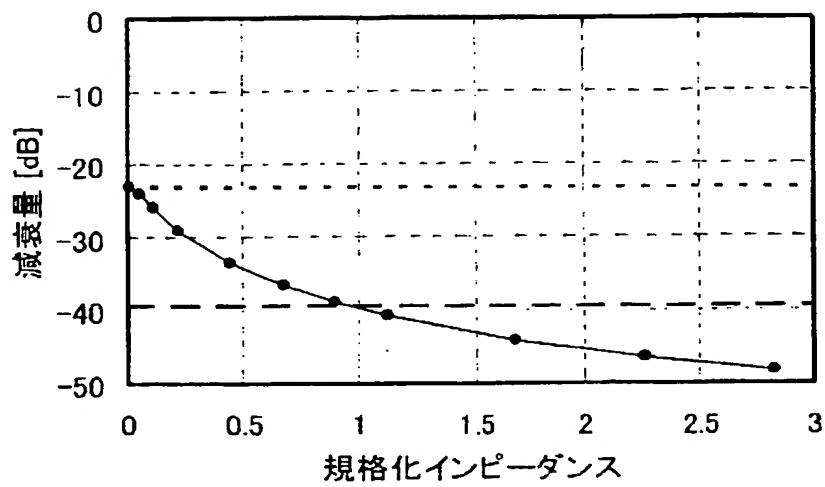
101, 102 弾性表面波共振器

103 インダクタ

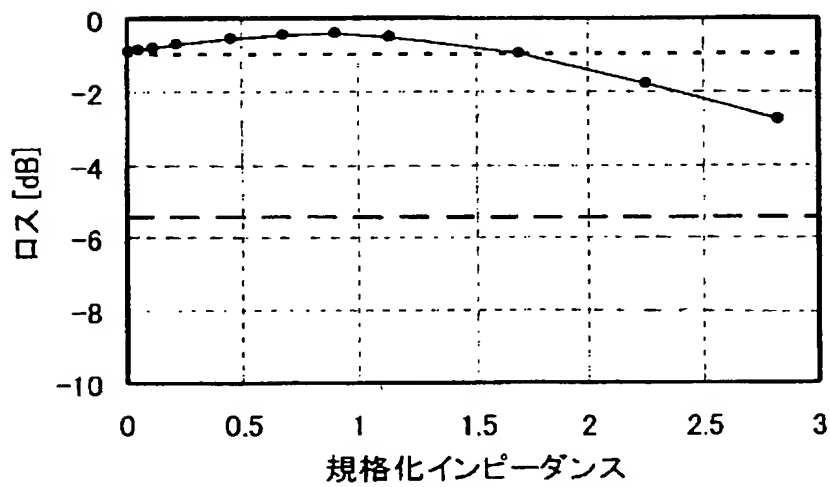
104 伝送線

【図 2】

(a)

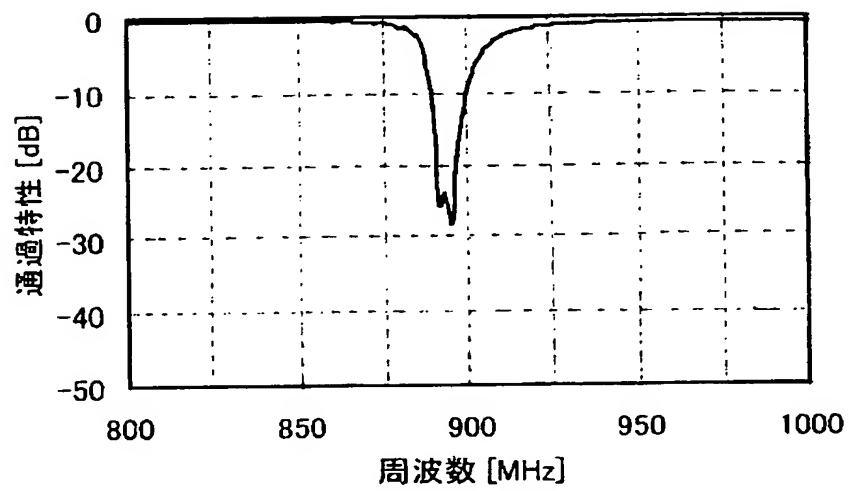


(b)

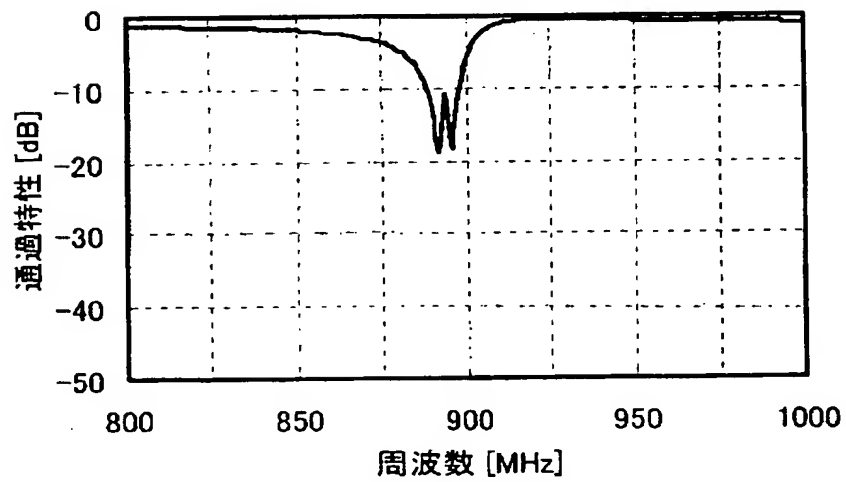


【図 3】

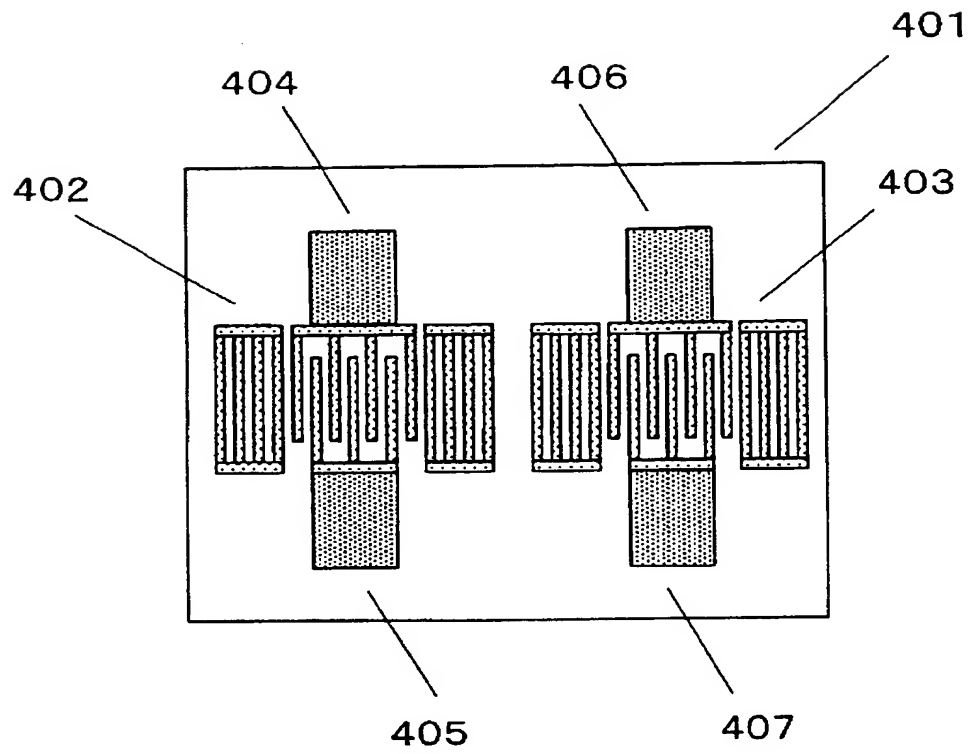
(a)



(b)

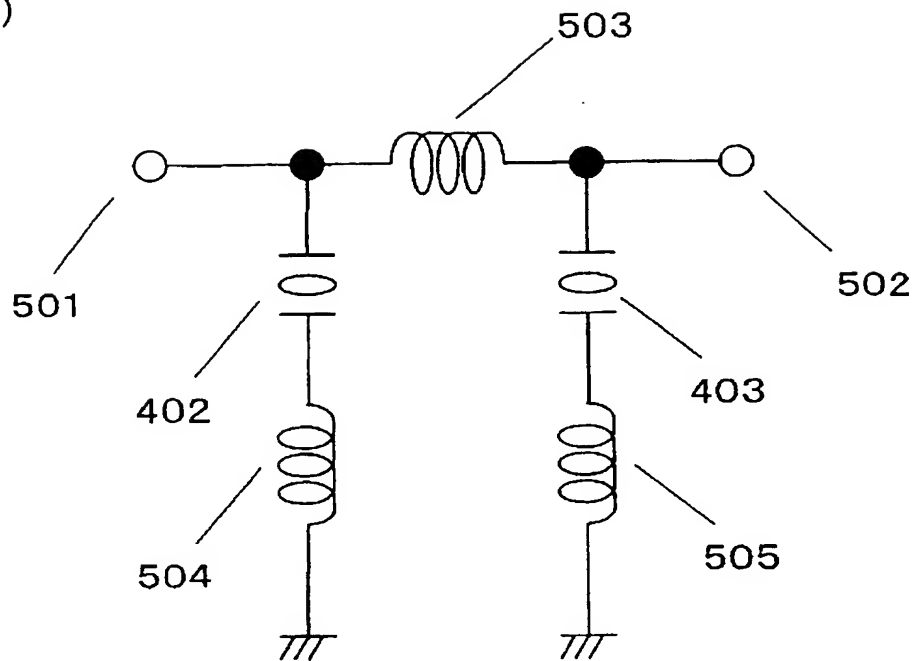


【図 4】

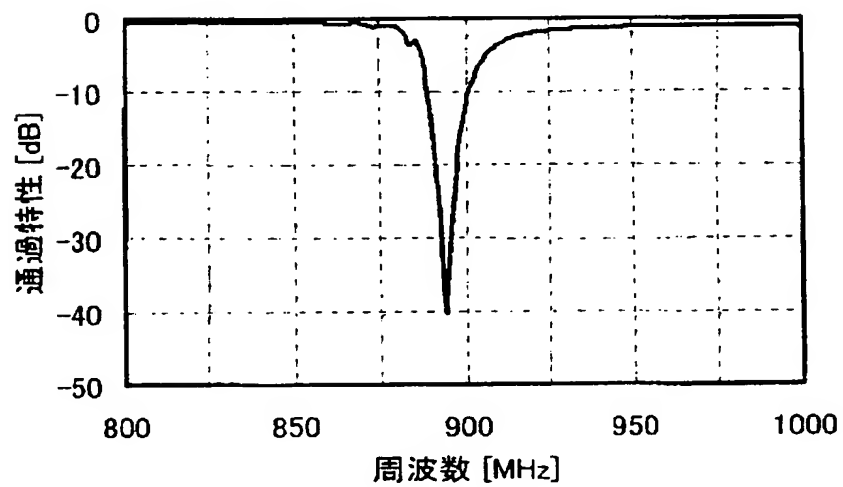


【図 5】

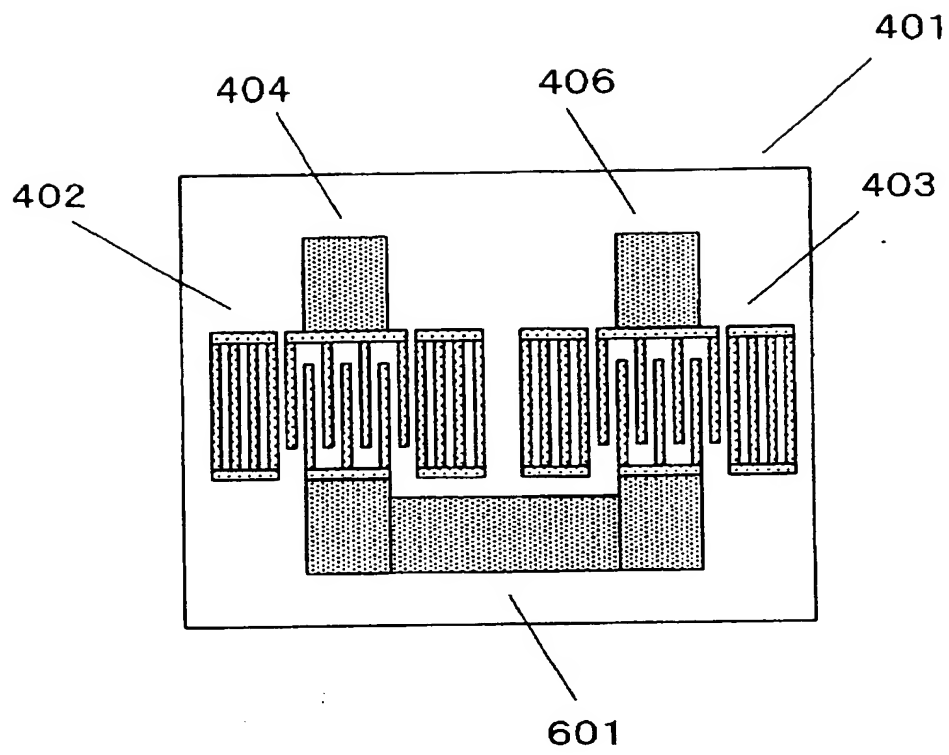
(a)



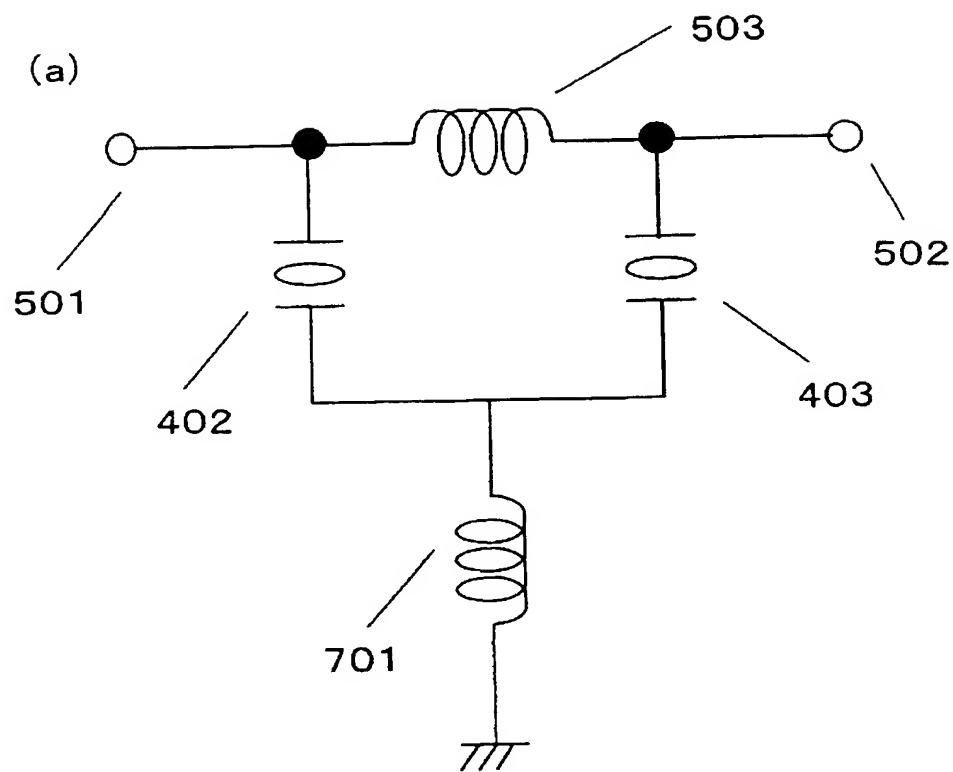
(b)



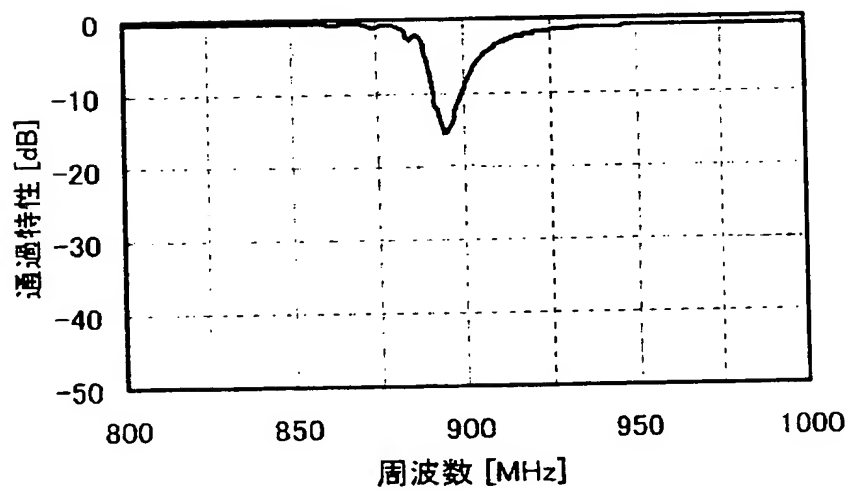
【図 6】



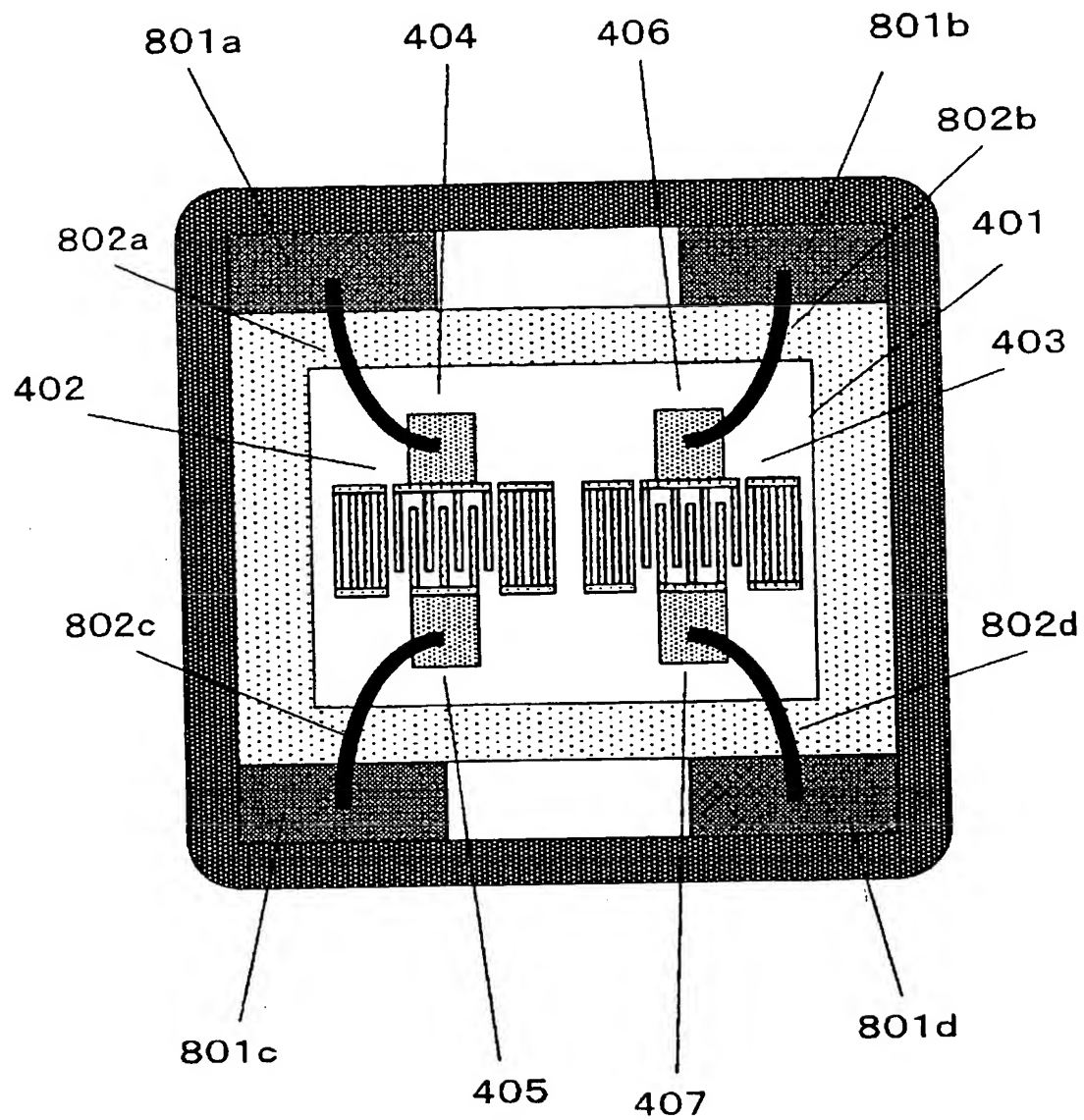
【図 7】



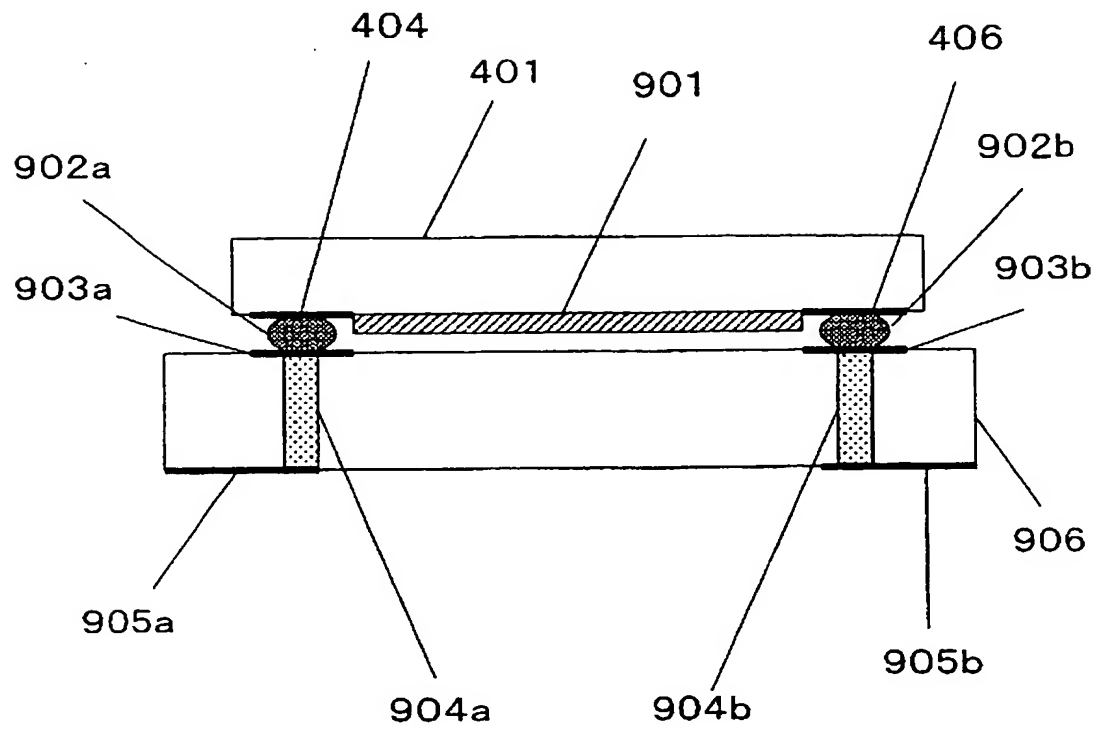
(b)



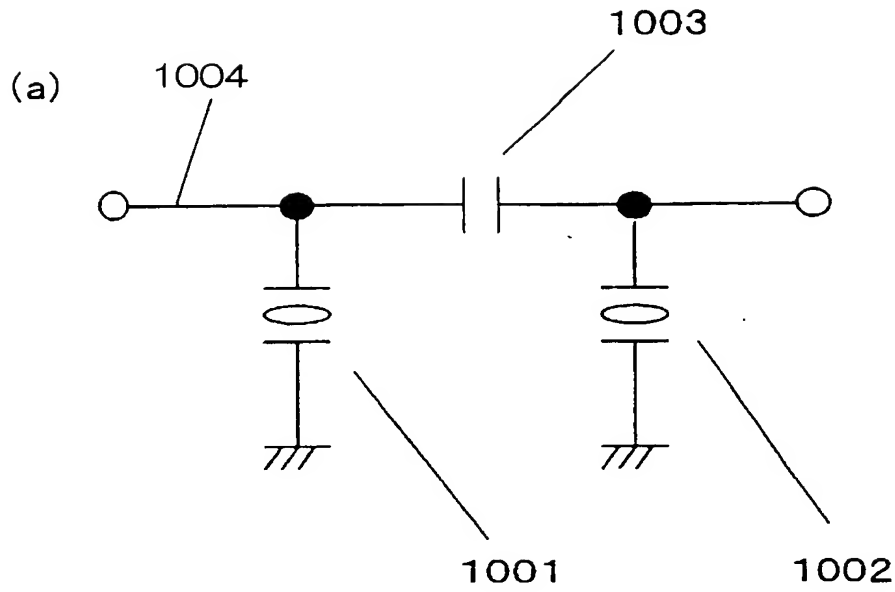
【図 8】



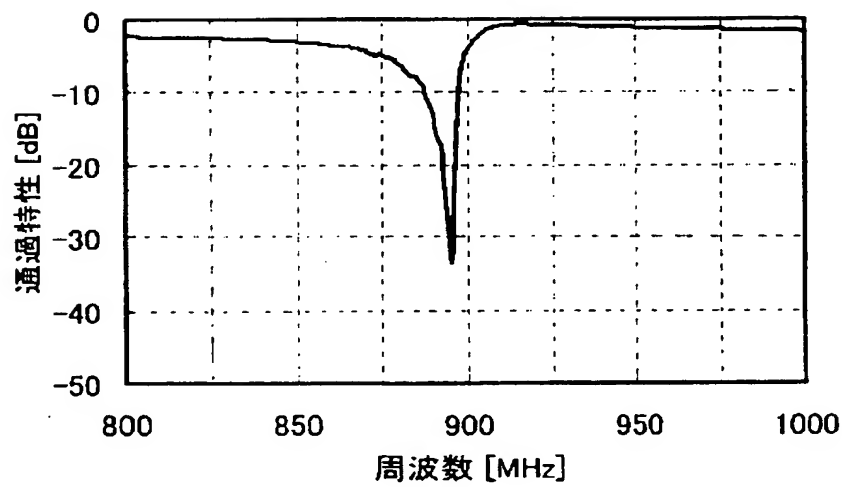
【図 9】



【図 10】

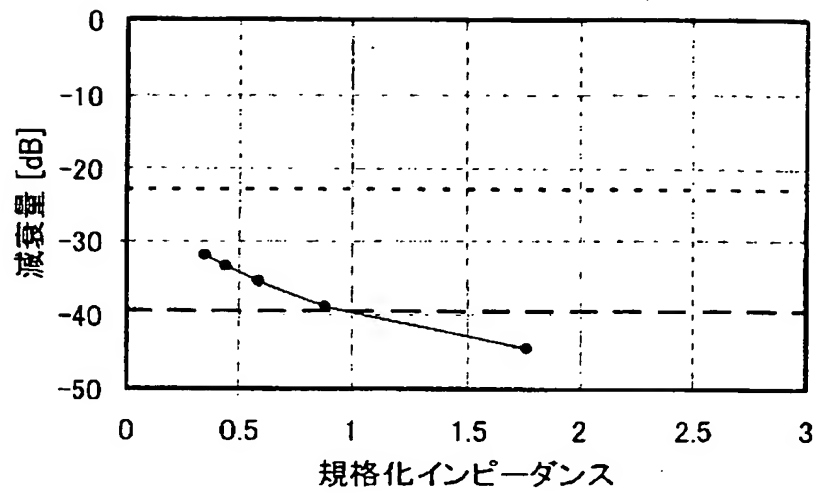


(b)

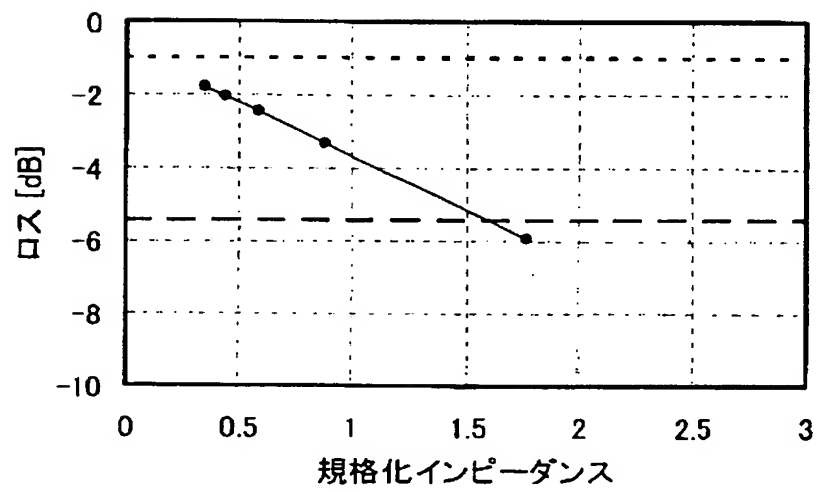


【図 11】

(a)

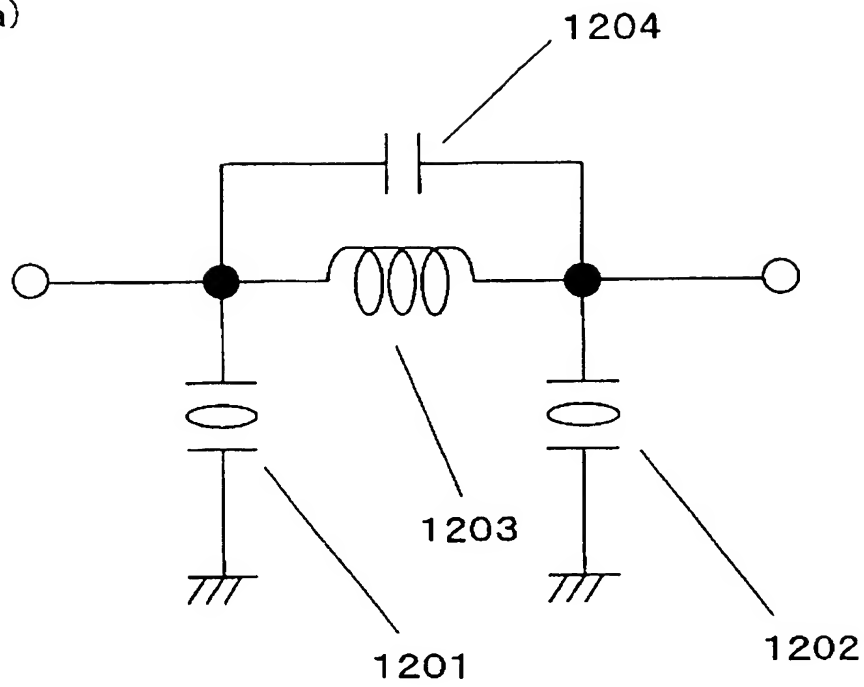


(b)

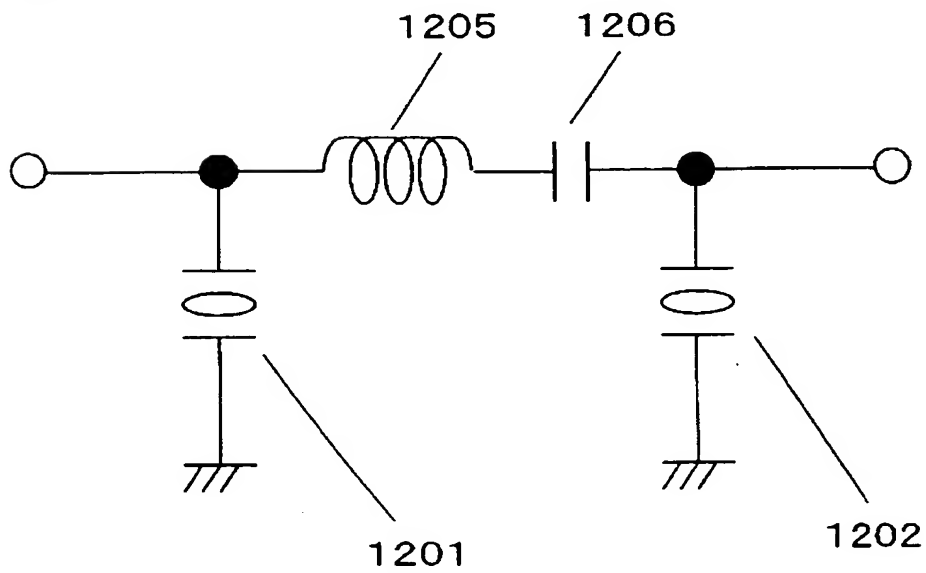


【図 12】

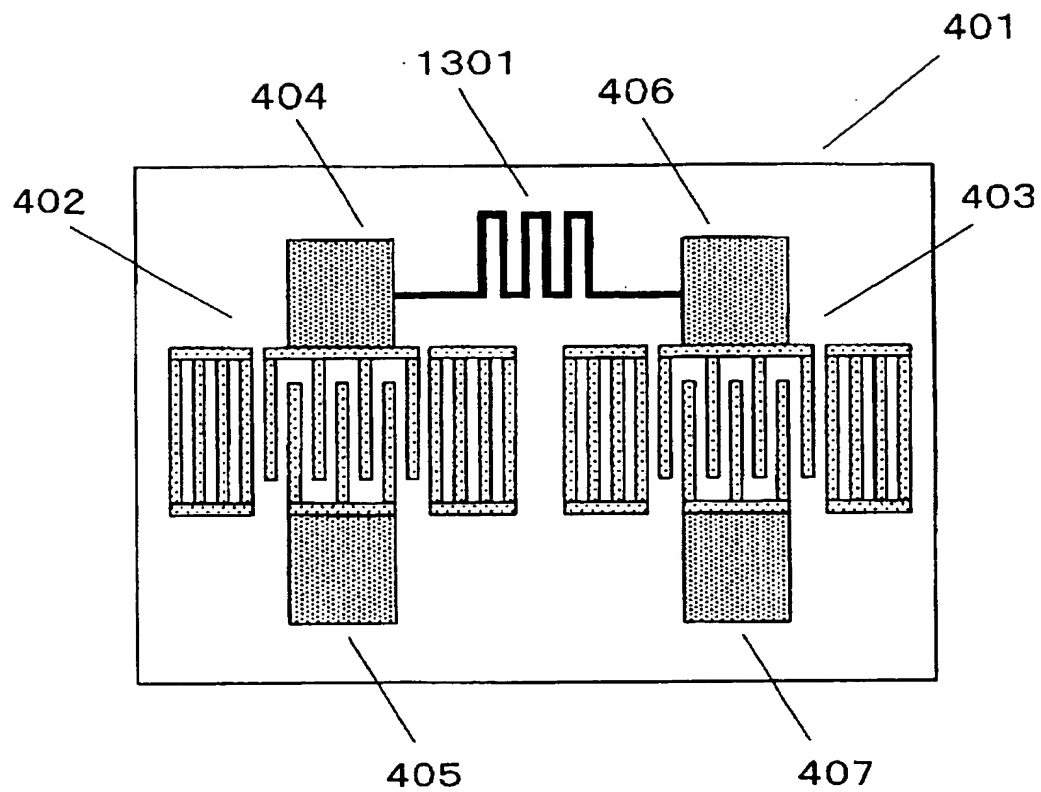
(a)



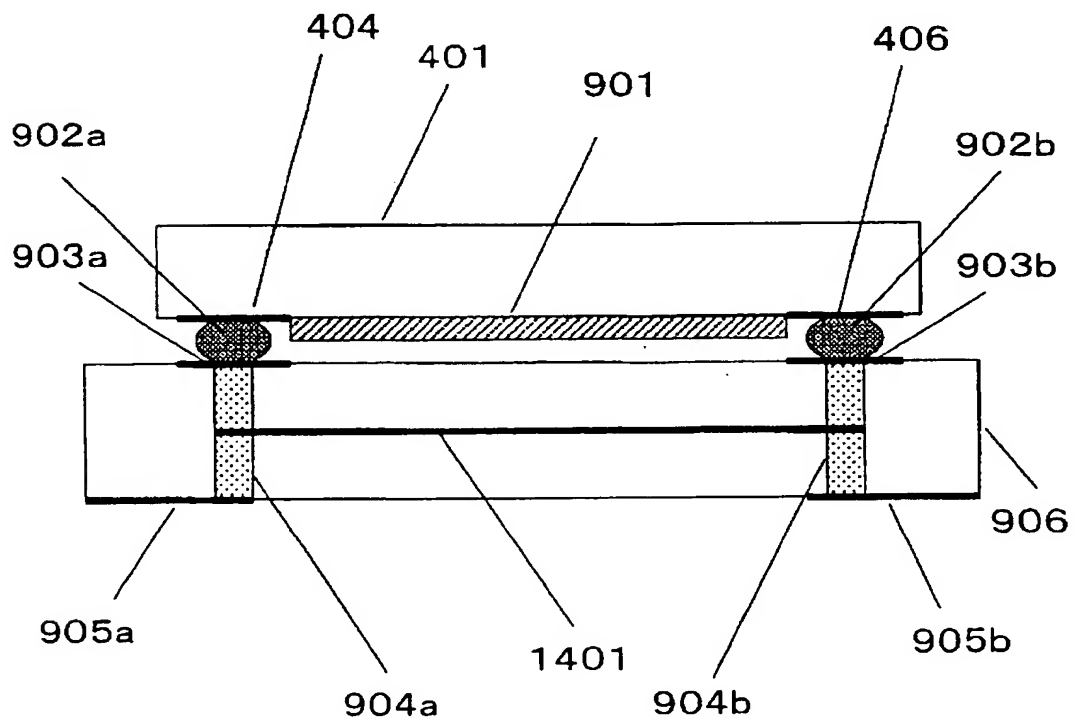
(b)



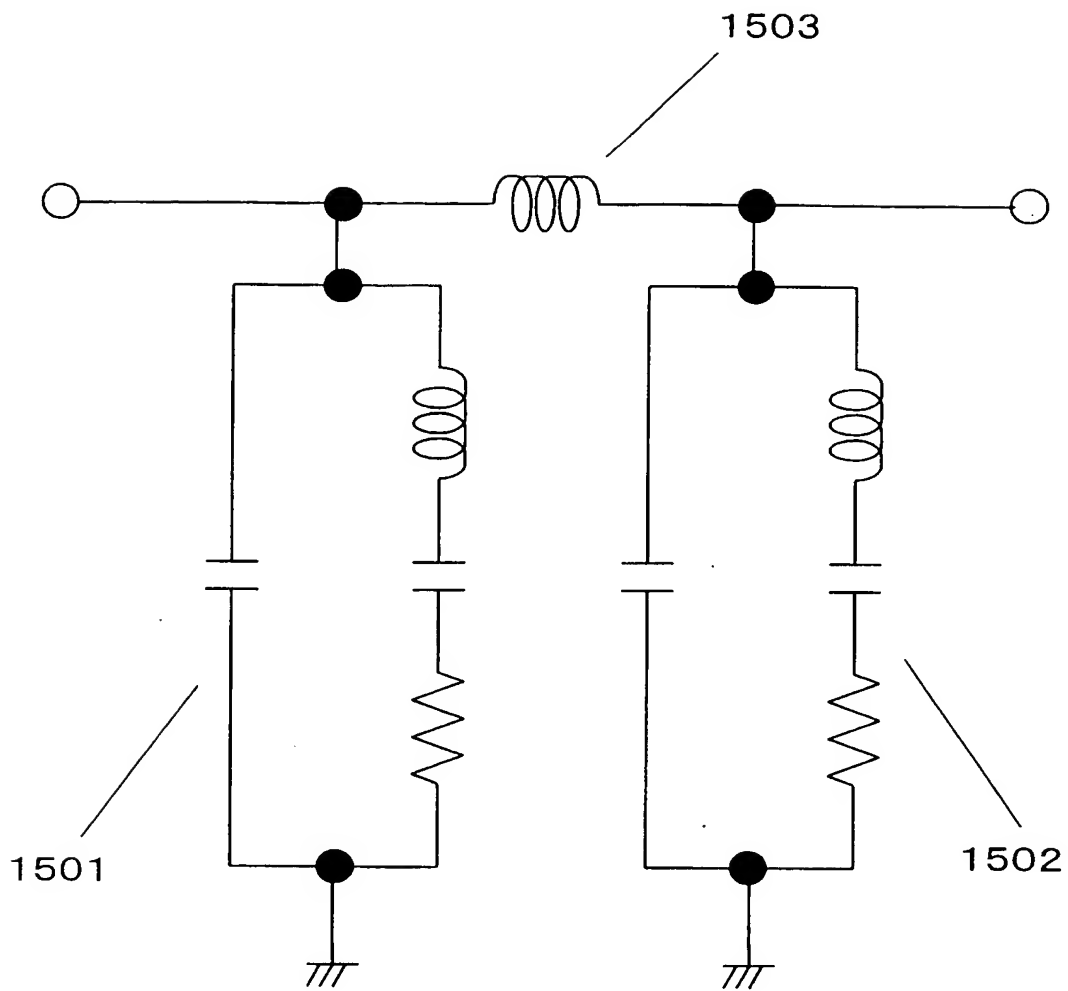
【図 13】



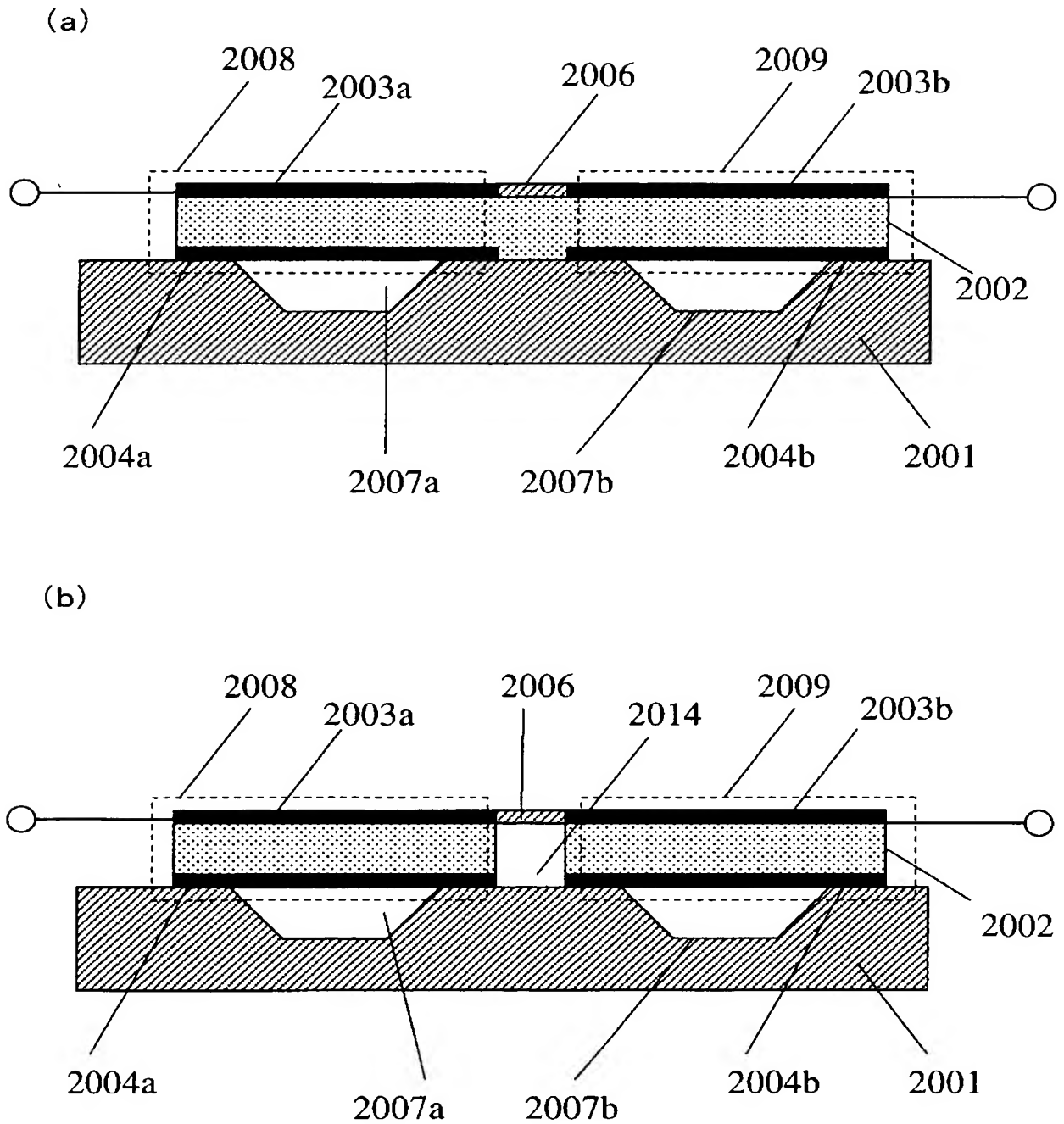
【図 14】



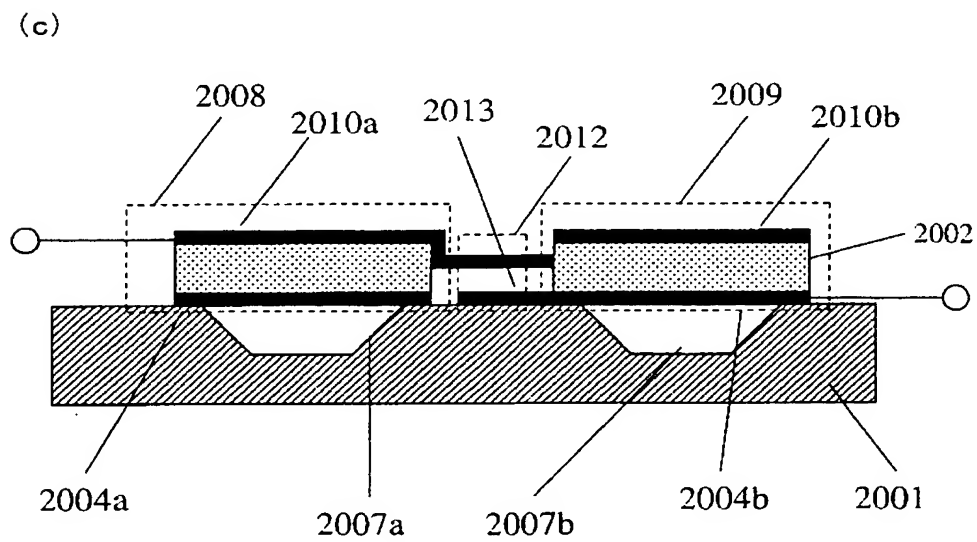
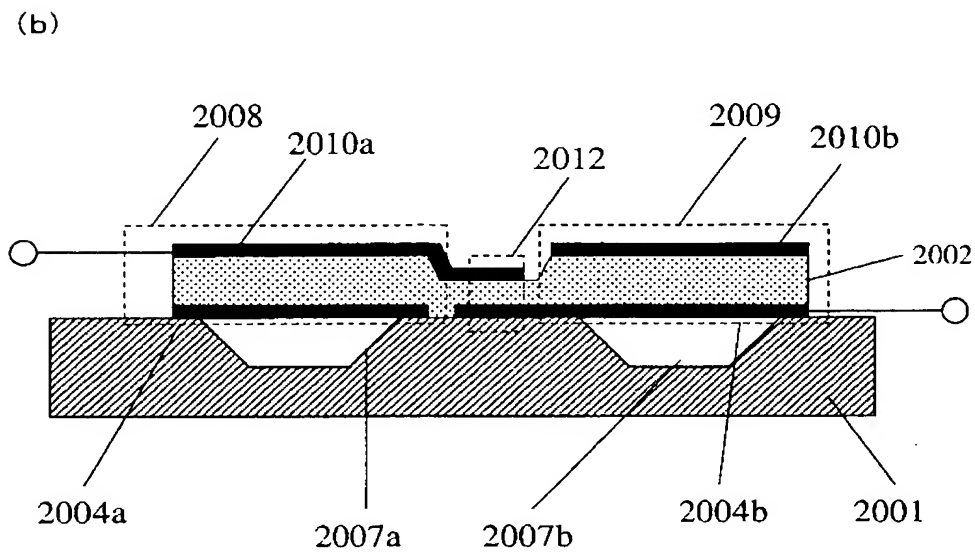
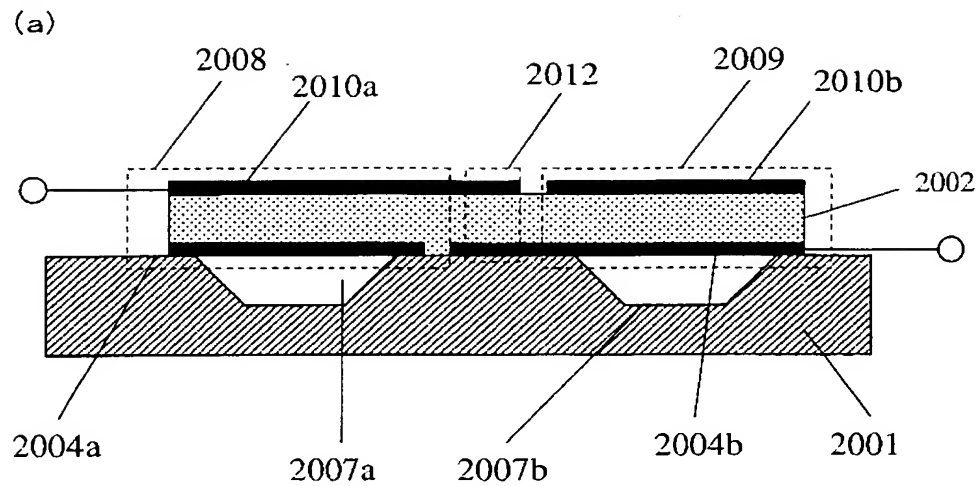
【図 15】



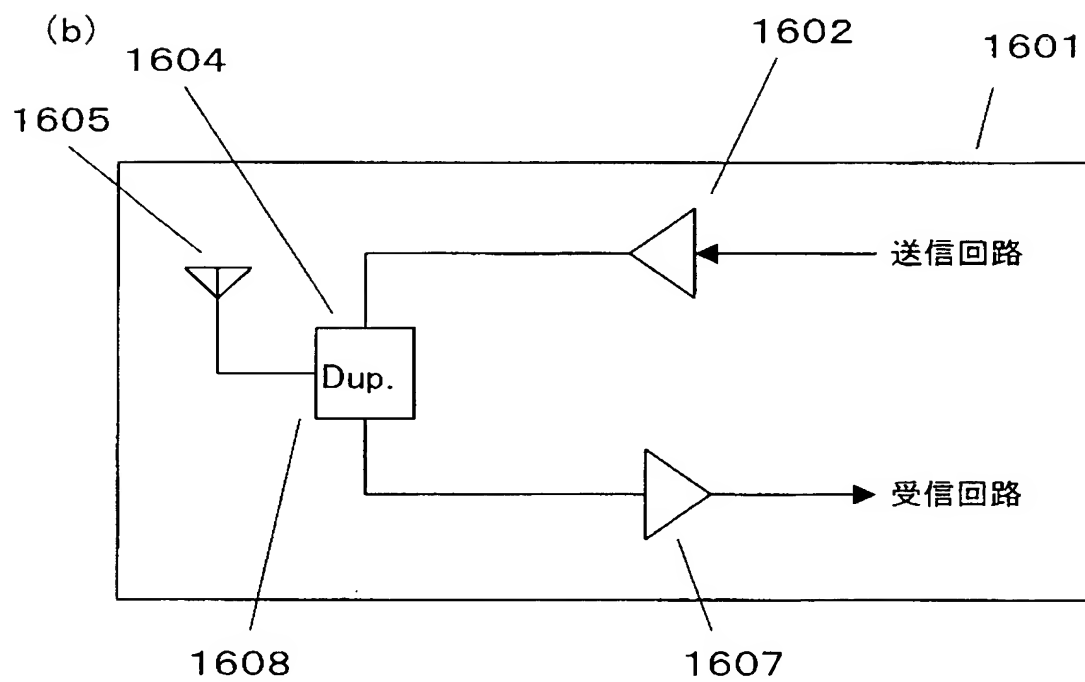
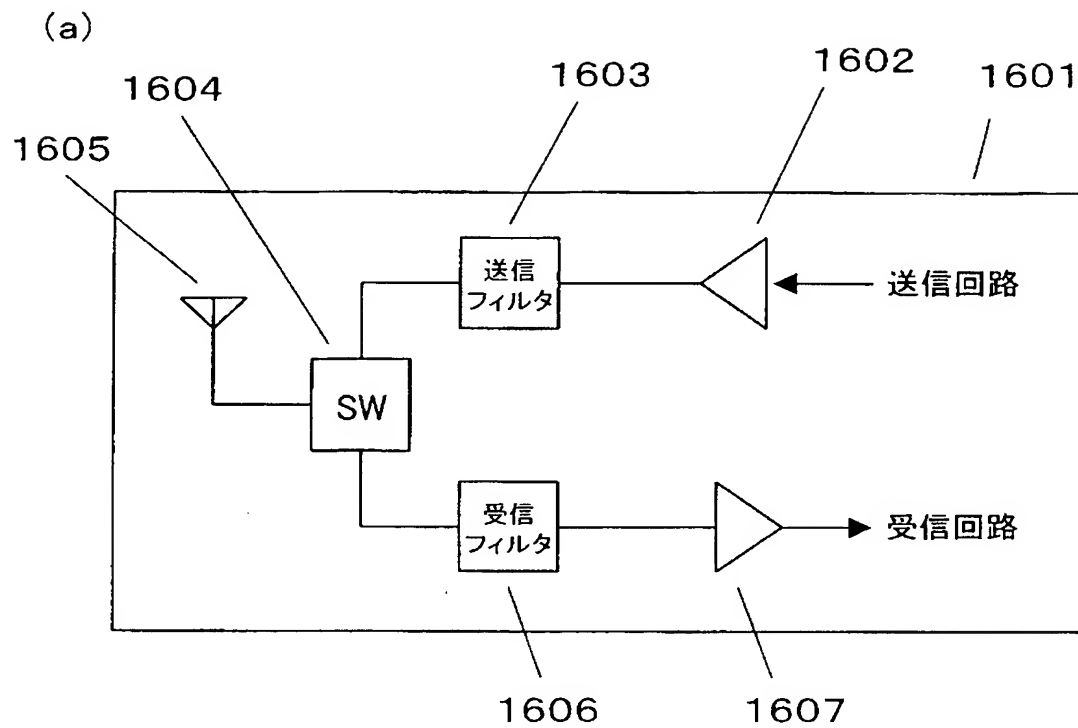
【図 16】



【圖 17】

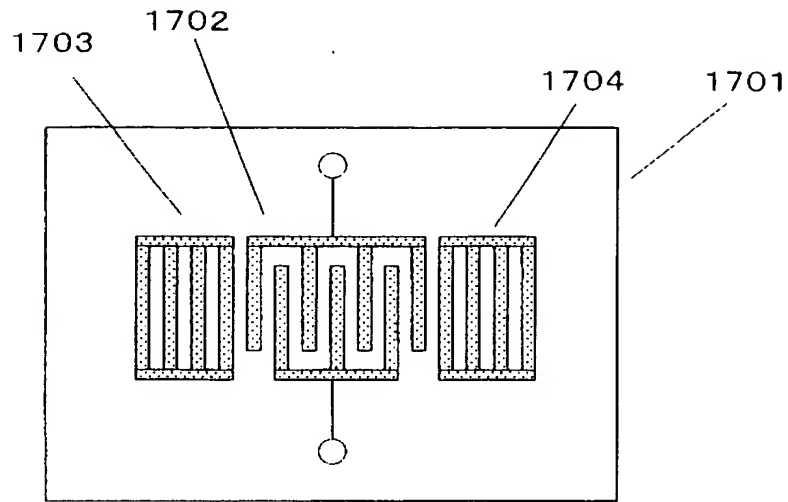


【図18】

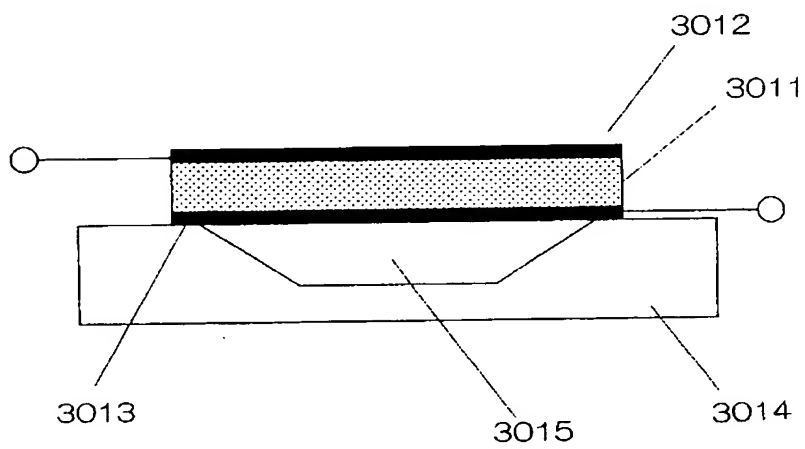


【図 19】

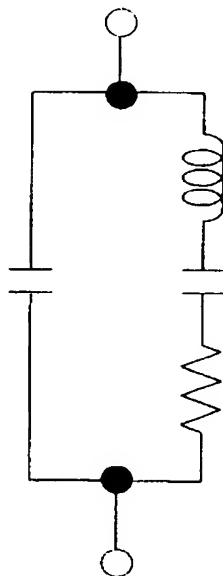
(a)



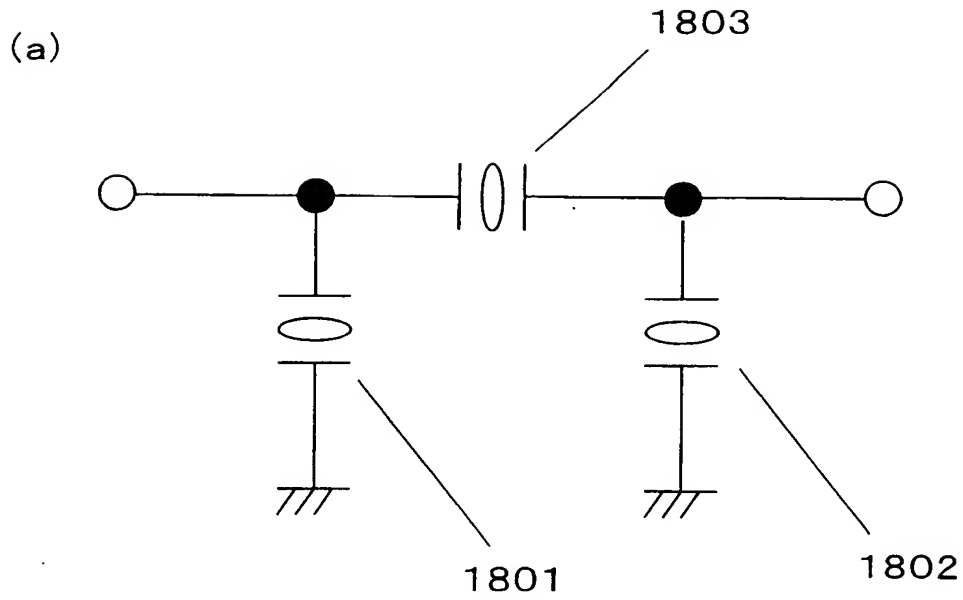
(b)



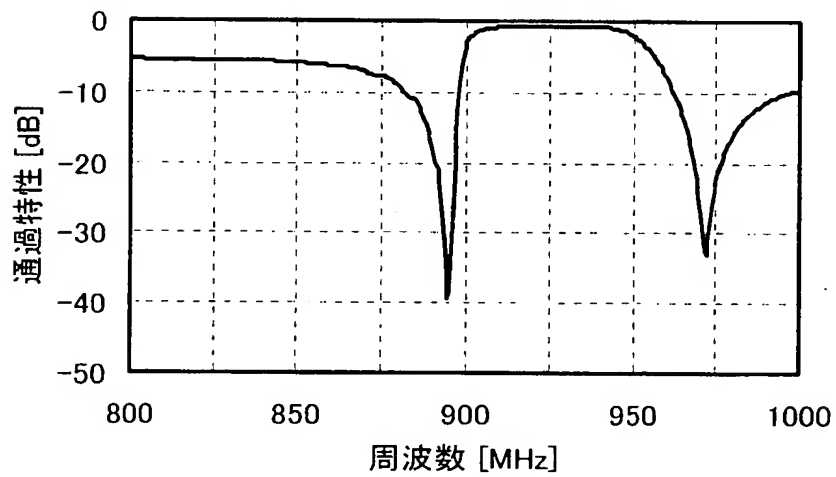
(c)



【図 20】

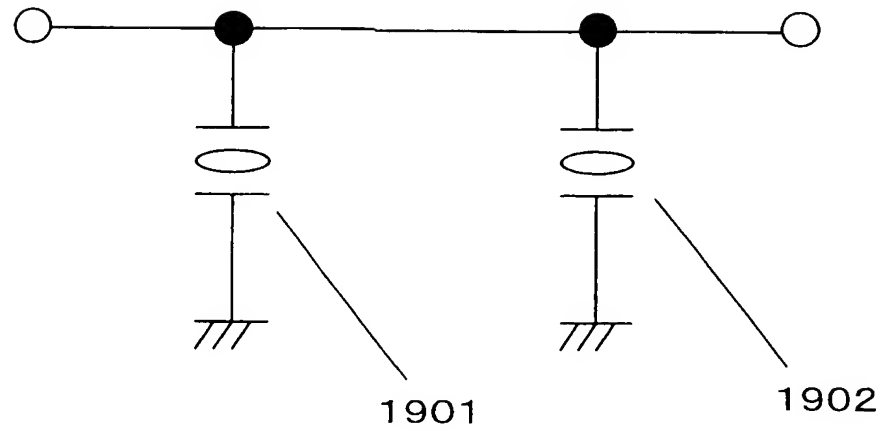


(b)

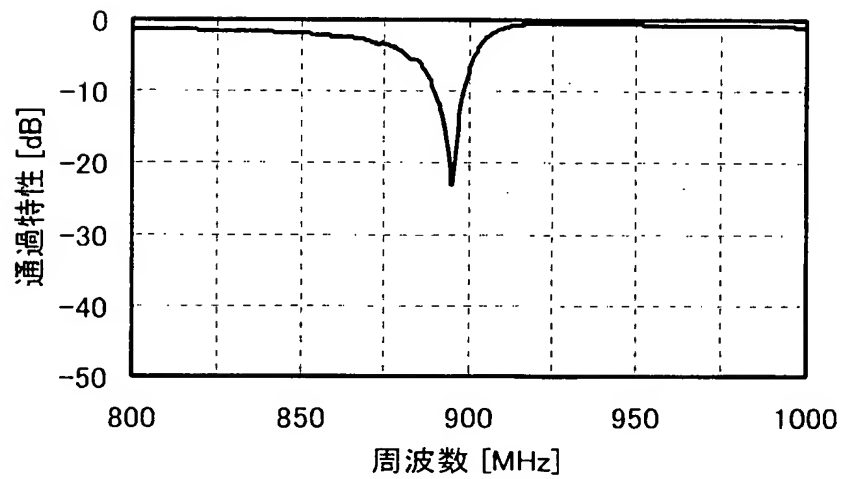


【図 21】

(a)



(b)



【書類名】 要約書**【要約】**

【課題】 所望の阻止帯域で減衰量を大きく、且つ阻止帯域の上下周波数で広帯域にわたって低損失である特性を有する帯域阻止フィルタを実現することは困難であった。

【解決手段】 その一端が接地された複数の弾性表面波共振器 1 0 1, 1 0 2 と、前記複数の弾性表面波共振器 1 0 1, 1 0 2 の他端のそれぞれが接続される伝送線 1 0 4 とを備え、前記他端の少なくとも一部は、所定の間隔をおいて接続されており、前記伝送線 1 0 4 上の、全部または一部の前記所定の間隔に、少なくとも 1 つのインダクタ 1 0 3 が設けられている帯域阻止型フィルタ。

【選択図】 図 1

特願 2 0 0 3 - 2 9 2 6 4 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社